



Lecture 8

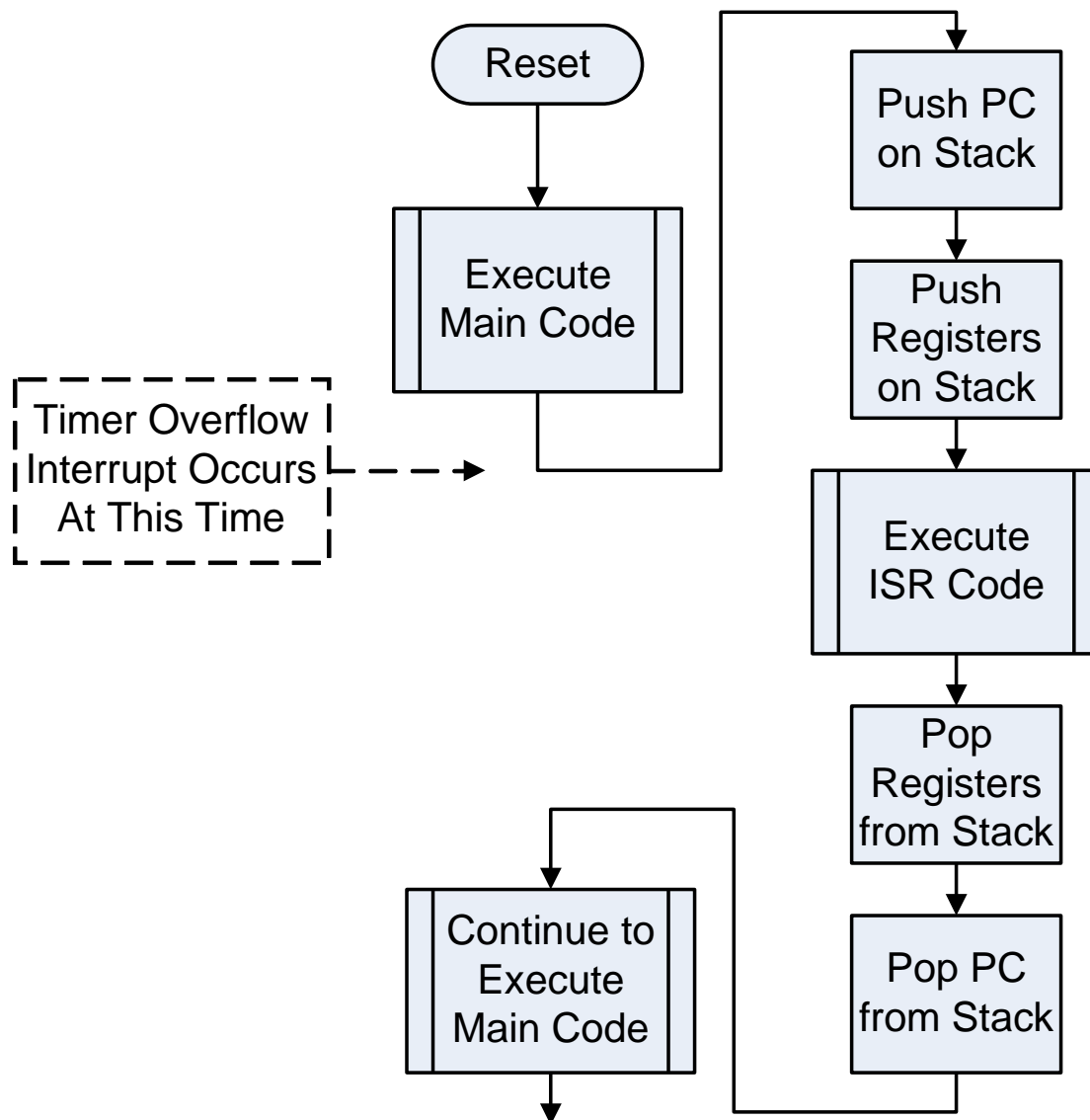
Interruptions פסיקות

- ◆ מבוא
- ◆ סוגי פסיקות
- ◆ סיכום פסיקות
- ◆ אפשר ונטרול פסיקות
- ◆ עדיפות של פסיקות
- ◆ דגלים של פסיקות
- ◆ פסיקות חיצוניות
- ◆ אוגרים מיוחדים של פסיקות



- ◆ פסיקה – זה אירוע מיוחד, שכאשר אירוע הזה מתקיים הוא עוצר את ביצוע של תוכנה ראשית ומעבירה את הביצוע לתת שיגרה. בסיום של אירוע מצביע לפקודה הבאה חוזר לתוכנה ראשית והיא ממשיכה להתבצע.
- ◆ פסיקות זה נושא מאוד חשוב, עקב כך שהן מאפשרות למערכת להגיב באופן מיידי לכל אירוע בזמן שתוכנה רצה בדרך שלה.
- ◆ מערכת של טיפול בפסיקות נותנת אשליה שמערכת עובדת בצורה "ריבוי משימות".
- ◆ תת שגרה שמטפלת בפסיקה נקראת **interrupt service routine** או **(ISR) interrupt handler**.

- ◆ ISR מבצעת תגובה לפסיקה ובד"כ מבצעת פעולת קלט\פלט של ההתקן.
- ◆ כאשר מופיעה פסיקה תוכנה ראשית מפסיקה פעולתה באופן זמני ומעבירה ביצוע ל-ISR.
- ◆ ISR מבצעת משימה ומסתיימת ברגע שמופיעה פקודה RETI – חזרה מהפסיקה.
 - פקודה RETI שונה מפקודה RET שמחזירה אותנו מפרוצדורה (פונקציה).



◆ מיקרו בקר C8051F020 מכיל 22 מקורות של פסיקות כולל:

➤ 4 פסיקות חיצוניות (/INT0, /INT1, Interrupt 6 , Interrupt 7)

➤ 5 פסיקות של מונים (טיימרים) (Timer 0 through 4 Overflow)

➤ 2 פסיקות של תקשורת טורית (UART0, UART1).

◆ לכל מקור של פסיקות יש אחד או יותר דגלי המתנה **interrupt-pending** שנמצאים בתוך **SFR**.

◆ כאשר מערכת מקבלת פסיקה, דגל שקשור לפסיקה הזאת עולה ל-1.

➤ דגלי פסיקה רגישים לרמת הסיגנל (level sensitive), זאת אומרת במידה ולא נאפס את דגל של פסיקה, מערכת תמשיך להטריד אותנו, למרות שמקור הפסיקה לא רלוונטי יותר.

◆ כל הפסיקות מנוטרלות לאחר איפוס המערכת ואנו צריכים לאפשר אותם באופן ייחודי בעזרת קוד ולא בעזרת חומרה.

טבלת פסיקות ורמות שלהן.

| Interrupt Source | Interrupt Vector | Priority Order | Pending Flag | Enable Flag | Priority Control |
|------------------------------|------------------|----------------|--------------------------------|-----------------|------------------|
| Reset | 0000 | Top | None | Always Enabled | Always Highest |
| External Interrupt 0 (/INT0) | 0003 | 0 | IE0 (TCON.1) | EX (IE.0) | PX0 (IP.0) |
| Timer 0 Overflow | 000B | 1 | TF0 (TCON.5) | ET0 (IE.1) | PT0 (IP.1) |
| External Interrupt 1 (/INT1) | 0013 | 2 | IE1 (TCON.3) | EX1 (IE.2) | PX1 (IP.2) |
| Timer 1 Overflow | 001B | 3 | TF1 (TCON.7) | ET1 (IE.3) | PT1 (IP.3) |
| UART0 | 0023 | 4 | RI0 (SCON0.0) TI0 (SCON0.1) | ES0 (IE.4) | PS0 (IP.4) |
| Timer 2 Overflow | 002B | 5 | TF2 (T2CON.7) | ET2 (IE.5) | PT2 (IP.5) |
| Serial Peripheral Interface | 0033 | 6 | SPIF (SPI0CN.7) | ESPI0 (EIE1.0) | PSPI0 (EIP1.0) |
| SMBus Interface | 003B | 7 | SI (SMB0CN.3) | ESMB0 (EIE1.1) | PSMB0 (EIP1.1) |
| ADC0 Window Comparator | 0043 | 8 | AD0WINT (ADC0CN.2) | EWADC0 (EIE1.2) | PWADC0 (EIP1.2) |



Interrupt Summary

| Interrupt Source | Interrupt Vector | Priority Order | Pending Flag | Enable Flag | Priority Control |
|----------------------------|------------------|----------------|----------------------------------|----------------|------------------|
| Programmable Counter Array | 004B | 9 | CF (PCA0CN.7) CCFn (PCA0CN.n) | EPCA0 (EIE1.3) | PPCA0 (EIP1.3) |
| Comparator 0 Falling Edge | 0053 | 10 | CP0FIF (CPT0CN.4) | ECP0F (EIE1.4) | PCP0F (EIP1.2) |
| Comparator 0 Rising Edge | 005B | 11 | CP0RIF (CPT0CN.5) | ECP0R (EIE1.5) | PCP0R (EIP1.5) |
| Comparator 1 Falling Edge | 0063 | 12 | CP1FIF (CPT1CN.4) | ECP1F (EIE1.6) | PCP1F (EIP1.6) |
| Comparator 1 Rising Edge | 006B | 13 | CP1RIF (CPT1CN.5) | ECP1R (EIE1.7) | PCP1R (EIP1.7) |
| Timer 3 Overflow | 0073 | 14 | TF3 (TMR3CN.7) | ET3 (EIE2.0) | PT3 (EIP2.0) |
| ADC0 End of Conversion | 007B | 15 | AD0INT (ADC0CN.5) | EADC0 (EIE2.1) | PADC0 (EIP2.1) |
| Timer 4 Overflow | 0083 | 16 | TF4 (T4CON.7) | ET4 (EIE2.2) | PT4 (EIP2.2) |
| ADC1 End of Conversion | 008B | 17 | AD1INT (ADC1CN.5) | EADC1 (EIE2.3) | PADC1 (EIP2.3) |
| External Interrupt 6 | 0093 | 18 | IE6 (P3IF.6) | EX6 (EIE2.4) | PX6 (EIP2.4) |
| External Interrupt 7 | 009B | 19 | IE7 (P3IF.7) | EX7 (EIE2.5) | PX7 (EIP2.5) |
| UART1 | 00A3 | 20 | RI1 (SCON1.0) TI1 (SCON1.1) | ES1 (EIE2.6) | PS1 (EIP2.6) |
| External Crystal OSC Ready | 00AB | 21 | XTLVLD (OSCCN.7) | EXVLD (EIE2.7) | PXVLD (EIP2.7) |



- ◆ במידה ושתי או יותר פסיקות מתבצעות ביחד או שפסיקה מתבצעת בזמן שפסיקה אחרת מטופלת, יש סדר עדיפויות של הפסיקות, כאשר יש סדר קבוע של הפסיקות וגם 2 רמות ידניות של רמת החשיבות שניתן להגדיר בהם את העדיפויות.

- ◆ כל אחד מהפסיקות אפשר לנטרל או לאפשר בעזרת אוגרים מיוחדים הבאים: **IE**, **EIE1**, **EIE2**.
- ◆ בנוסף לאפשר פסיקות יש אפשרות לבטל את כל הפסיקות. סיבית **EA (IE.7)** אחראית על פסיקות באופן כללי. במידה וסיבית הזאת שווה ל-0 אף פסיקה לא יכולה לעבוד, אם סיבית שווה ל-1 כל פסיקות שאפשרנו (ורק הן) יעבדו.
- ◆ באופן כללי כדי לאפשר פסיקה צריכים להגדיר 2 סיביות:
 - סיבית שאחראית על פסיקה עצמה.
 - סיבית שאחראית על כל הפסיקות.
- ◆ חלק מהפסיקות צריכות יותר מ-2 סיביות כדי להפעיל אותם.
- ◆ אי-אפשר לבטל פסיקת **RESET** ולפסיקה הזאת תמיד יש רמת עדיפות גבוהה ביותר.

רמות עדיפות של פסיקה

- ◆ כל מקור פסיקה ניתן לתיכנות באופן ייחודי לאחד משתי רמות (low, high) בעזרת הגדרת סיביות באוגרים מיוחדים: **EIP2, IP, EIP1**.
- ◆ שלושת האוגרים האלה מאופסים בברירת מחדל לאחר פעולת טיפוס (reset) וכל הפסיקות נמצאות ברמת העדיפות הנמוכה ביותר.
- ◆ 2 רמות עדיפות מאפשרות לעצור ISR בעזרת פסיקה ברמת העדיפות הגבוהה ביותר.
- ◆ A low priority ISR is pre-empted by a high priority interrupt
A high priority interrupt cannot be pre-empted. ➤



◆ ישנם 2 רמות עדיפות וזה שימושי עקב כך שישנם אירועים מיוחדים שדורשים תגובה מיידית בזמן שחלק מאירועים יכולים להמתין וזה לא יפריע לעבודה תקינה של המערכת.

◆ דוגמא: רכב בשליטת רדיו.

➤ אנו נותנים זרם מדויק למנועים בצורה מחזורית.

▪ לוקחים פסיקה של טיימר שמוגדרת בתור רמת עדיפות גבוהה ביותר ובעזרתה אנו עוצרים את הספקת המתח כדי לא לגרום למנועים לקבל זרם גדול מאוד, כדי לא לגרום נזק למנועים.

➤ כאשר אנו מפעילים מנוע קדימה או אחורה מיקרו בקר עושה פעולה הזאת, אבל תוך כדי מפעיל טיימר כמו שכתבנו לפני.

▪ פסיקה של לוח מקשים נמצאת ברמת העדיפות נמוכה ביותר.

- ◆ אם מערכת מזהה שתי פסיקות בו זמנית, הפסיקה עם רמת העדיפות הגבוהה מתבצעת קודם.
- ◆ אם לשניהן יש אותה רמת עדיפות יש סדר קבוע (**priority order**) שפסיקות האלה מתבצעות.
- ◆ ניתן לראות את הסדר בטבלה שראינו קודם.

דגלי המתנה בתהליך פסיקות

- ◆ חלק מהדגלי המתנה מאופסים באופן אוטומטי בעזרת חומרה, כאשר מיקרו בקר פונה לISR.
- ◆ כמובן הרוב לא מאופסים ע"י חומרה וצריכים להיות מאופסים ידני (ע"י תוכנה) לפני שתוכנה חוזרת מ-ISR.
- ◆ אם הדגל המתנה נשאר "1" לאחר שמע"מ (CPU) מסיימת פקודת RETI, בקשה חדשה של הפסיקה מתבצעת ומייד מע"מ מעבירה את התוכנה שוב פעם לטיפול בפסיקה.
- ◆ אם פסיקה מנוטרלת, חומרה לא לוקחת בחשבון דגל המתנה לפסיקה ותוכנה ממשיכה לפעול בצורה רגילה.



פסיקות חיצוניות /INT0 and /INT1

- ◆ פינים ל-2 פסיקות חיצוניות (/INT0 , /INT1) נמצאות מוגדרות ע"י crossbar.
 - ◆ פסיקות האלה מוגדרות ע"י סיביות IT0 (TCON.0) ו- IT1 (TCON.2)
 - ◆ דגלי המתנה נמצאים בסיביות IE0 (TCON.1) ו- IE1 (TCON.3)
 - ◆ ניתן לאפשר אותם ע"י סיביות EX0 (IE.0) ו- EX1 (IE.1)
 - ◆ ניתן להגדיר אותם שיעבדו לפי רמה נמוכה של אות כניסה (low) או לפי ירידה (negative edge).
- במידה ופסיקות חיצוניות מוגדרות לשינוי, דגל פסיקה מאופס באופן אוטומטי ע"י חומרה, כאשר CPU מעביר שליטה ל-ISR.
- במידה ופסיקות חיצוניות מוגדרות לפי רמה, דגל פסיקה עוקב אחרי מצב של פין הפסיקה.
- מקור הפסיקה צריך להיות מספיק זמן פעיל כדי שפסיקה תזוהה.
 - חייבים לנטרל את בקשה לפסיקה לפני שISR מסתיימת או לפני שבקשה לפסיקה אחרת יכולה להתקיים.

TCON Register

| Bit | Symbol | Description |
|-----|--------|--|
| 7 | TF1 | Timer 1 Overflow Flag Set by hardware when Timer 1 overflows. This flag can be cleared by software but is automatically cleared when the CPU vectors to the Timer 1 interrupt service routine (ISR). 0: No Timer 1 overflow detected 1: Timer 1 has overflowed |
| 6 | TR1 | Timer 1 Run Control 0: Timer 1 disabled 1: Timer 1 enabled |
| 5 | TF0 | Timer 0 Overflow Flag Same as TF1 but applies to Timer 0 instead. 0: No Timer 0 overflow detected 1: Timer 0 has overflowed |
| 4 | TR0 | Timer 0 Run Control 0: Timer 0 disabled 1: Timer 0 enabled |
| 3 | IE1 | External Interrupt 1 This flag is set by hardware when an edge/level of type defined by IT1 is detected. It can be cleared by software but is automatically cleared when the CPU vectors to the External Interrupt 1 ISR if IT1=1. This flag is the inverse of the /INT1 input signal's logic level when IT1=0 |
| 2 | IT1 | Interrupt 1 Type Select 0: /INT1 is level triggered 1: /INT1 is edge triggered |
| 1 | IE0 | External Interrupt 0 Same as IE1 but applies to IT0 instead. |
| 0 | IT0 | Interrupt 0 Type Select 0: /INT0 is level triggered 1: /INT0 is edge triggered |



פסיקות חיצוניות 7 , Interrupt 6

- ◆ ניתן להשתמש בפינים P3.6 ו- P3.7 לשתי פסיקות חיצוניות נוספות פסיקות 6 ו- 7.
- ◆ בהבדל מפסיקות 0 ו- 1 ניתן להגדיר אותם אך ורק לרגישות לשינוי, אבל אפשר להגדיר לא רק לירידה, אלא גם לעליה.
- ◆ דגלי המתנה, ודגלי הגדרה נמצאים באוגר הגדרה של פורט 3. (P3IF)
- ◆ כאשר מערכת מזהה שינוי בפורט P3.6 או P3.7, דגל של פסיקה (IE6 , IE7) יעלה ל- "1" באוגר P3IF.
- ◆ במידה ופסיקה מאופשרת, פסיקה עוברת לווקטור פסיקות ומפעילה תוכנה שנמצאת בכתובת המקושרת לפסיקה.



אוגר P3IF—אוגר שמטפל בפסיקות חיצוניות.

סיביות IE – 0 אם לא הייתה פסיקה, 1 אם הייתה. יש לנקות סיביות הזאת לאחר קריאה.
IECF – להגדרת צורת השינוי – 0 לירידה, 1 לעליה.

| Bit | Symbol | Description |
|-----|--------|---|
| 7 | IE7 | External Interrupt 7 Pending Flag 0: No falling edge has been detected on P3.7 since this bit was last cleared. 1: This flag is set by hardware when a falling edge on P3.7 is detected. |
| 6 | IE6 | External Interrupt 6 Pending Flag 0: No falling edge has been detected on P3.6 since this bit was last cleared. 1: This flag is set by hardware when a falling edge on P3.6 is detected. |
| 5-4 | - | UNUSED. Read = 00, Write = don't care |
| 3 | IE7CF | External Interrupt 7 Edge Configuration 0: External Interrupt 7 triggered by a falling edge on the IE7 input. 1: External Interrupt 7 triggered by a rising edge on the IE7 input. |
| 2 | IE6CF | External Interrupt 6 Edge Configuration 0: External Interrupt 6 triggered by a falling edge on the IE6 input. 1: External Interrupt 6 triggered by a rising edge on the IE6 input. |
| 1-0 | - | UNUSED. Read = 00, Write = don't care |



IE—Interrupt Enable איפשר פסיקות.

| Bit | Symbol | Description |
|-----|--------|---|
| 7 | EA | Enable All Interrupts 0: Disable all interrupt sources. 1: Enable each interrupt according to its individual mask setting. |
| 6 | IEGF0 | General Purpose Flag 0 This is a general purpose flag for use under software control. |
| 5 | ET2 | Enable Timer 2 Interrupt 0: Disable Timer 2 Interrupt. 1: Enable interrupt requests generated by TF2 (T2CON.7). |
| 4 | ES0 | Enable UART0 Interrupt 0: Disable UART0 Interrupt. 1: Enable UART0 Interrupt. |
| 3 | ET1 | Enable Timer 1 Interrupt 0: Disable Timer 1 Interrupt. 1: Enable interrupt requests generated by TF1 (TCON.7). |
| 2 | EX1 | Enable External Interrupt 1 0: Disable external interrupt 1. 1: Enable interrupt request generated by the /INT1 pin. |
| 1 | ET0 | Enable Timer 0 Interrupt 0: Disable Timer 0 Interrupt. 1: Enable interrupt requests generated by TF0 (TCON.5). |
| 0 | EX0 | Enable External Interrupt 0 0: Disable external interrupt 0. 1: Enable interrupt request generated by the /INT0 pin. |



EIE1—Extended Interrupt Enable 1

| Bit | Symbol | Description |
|-----|--------|---|
| 7 | ECP1R | Enable Comparator1 (CP1) Rising Edge Interrupt 0: Disable CP1 Rising Edge interrupt. 1: Enable interrupt requests generated by CP1RIF (CPT1CN.5). |
| 6 | ECP1F | Enable Comparator1 (CP1) Falling Edge Interrupt 0: Disable CP1 Falling Edge interrupt. 1: Enable interrupt requests generated by CP1FIF (CPT1CN.4). |
| 5 | ECP0R | Enable Comparator0 (CP0) Rising Edge Interrupt 0: Disable CP0 Rising Edge interrupt. 1: Enable interrupt requests generated by CP0RIF (CPT0CN.5). |
| 4 | ECP0F | Enable Comparator0 (CP0) Falling Edge Interrupt 0: Disable CP0 Falling Edge interrupt. 1: Enable interrupt requests generated by CP0FIF (CPT0CN.4). |
| 3 | EPCA0 | Enable Programmable Counter Array (PCA0) Interrupt 0: Disable all PCA0 interrupts. 1: Enable interrupt requests generated by PCA0. |
| 2 | EWADC0 | Enable Window Comparison ADC0 Interrupt 0: Disable ADC0 Window Comparison Interrupt. 1: Enable Interrupt request generated by ADC0 Window Comparisons. |
| 1 | ESMB0 | Enable System Management Bus (SMBus0) Interrupt 0: Disable all SMBus interrupts. 1: Enable interrupt requests generated by SI (SMB0CN.3). |
| 0 | ESPI0 | Enable Serial Peripheral Interface (SPI0) Interrupt 0: Disable all SPI0 interrupts. 1: Enable interrupt requests generated by SPIF (SPI0CN.7). |

EIE2—Extended Interrupt Enable 2

| Bit | Symbol | Description |
|-----|--------|---|
| 7 | EXVLD | Enable External Clock Source Valid (XTLVLD) Interrupt 0: Disable XTLVLD interrupt. 1: Enable interrupt requests generated by XTLVLD(OXCXCN.7) |
| 6 | ES1 | Enable UART1 Interrupt 0: Disable UART1 Interrupt. 1: Enable UART1 Interrupt. |
| 5 | EX7 | Enable External Interrupt 7 0: Disable external interrupt 7. 1: Enable interrupt request generated by the External Interrupt 7 input pin. |
| 4 | EX6 | Enable External Interrupt 6 0: Disable external interrupt 6. 1: Enable interrupt request generated by the External Interrupt 6 input pin. |
| 3 | EADC1 | Enable ADC1 End of Conversion Interrupt 0: Disable ADC1 End of Conversion interrupt. 1: Enable interrupt requests generated by the ADC1 End of Conversion Interrupt. |
| 2 | ET4 | Enable Timer 4 Interrupt 0: Disable Timer 4 Interrupt. 1: Enable interrupt requests generated by TF4 (T4CON.7). |
| 1 | EADC0 | Enable ADC0 End of Conversion Interrupt 0: Disable ADC0 End of Conversion interrupt. 1: Enable interrupt requests generated by the ADC0 End of Conversion Interrupt. |
| 0 | ET3 | Enable Timer 3 Interrupt 0: Disable Timer 3 Interrupt. 1: Enable interrupt requests generated by TF3 (TMR3CN.7). |



הגדרת רמת עדיפות של פסיקות. IP—Interrupt Priority

| Bit | Symbol | Description |
|-----|--------|--|
| 7-6 | - | UNUSED. Read=11, Write=don't care |
| 5 | PT2 | Timer 2 Interrupt Priority Control 0: Timer 2 interrupt priority determined by default priority order. 1: Timer 2 interrupts set to high priority level. |
| 4 | PS0 | UART0 Interrupt Priority Control 0: UART0 interrupt priority determined by default priority order. 1: UART0 interrupts set to high priority level. |
| 3 | PT1 | Timer 1 Interrupt Priority Control 0: Timer 1 interrupt priority determined by default priority order. 1: Timer 1 interrupts set to high priority level. |
| 2 | PX1 | External Interrupt 1 Priority Control 0: External Interrupt 1 interrupt priority determined by default priority order. 1: External Interrupt 1 interrupts set to high priority level. |
| 1 | PT0 | Timer 0 Interrupt Priority Control 0: Timer 0 interrupt priority determined by default priority order. 1: Timer 0 interrupts set to high priority level. |
| 0 | PX0 | External Interrupt 0 Priority Control 0: External Interrupt 0 priority determined by default priority order. 1: External Interrupt 0 set to high priority level. |



EIP1—Extended Interrupt Priority 1

| Bit | Symbol | Description |
|-----|--------|--|
| 7 | PCP1R | Comparator1 (CP1) Rising Interrupt Priority Control 0: CP1 Rising interrupt set to low priority level. 1: CP1 Rising interrupt set to high priority level. |
| 6 | PCP1F | Comparator1 (CP1) Falling Interrupt Priority Control 0: CP1 Falling interrupt set to low priority level. 1: CP1 Falling interrupt set to high priority level. |
| 5 | PCP0R | Comparator0 (CP0) Rising Interrupt Priority Control 0: CP0 Rising interrupt set to low priority level. 1: CP0 Rising interrupt set to high priority level. |
| 4 | PCP0F | Comparator0 (CP0) Falling Interrupt Priority Control 0: CP0 Falling interrupt set to low priority level. 1: CP0 Falling interrupt set to high priority level. |
| 3 | PPCA0 | Programmable Counter Array (PCA0) Interrupt Priority Control 0: PCA0 interrupt set to low priority level. 1: PCA0 interrupt set to high priority level. |
| 2 | PWADC0 | ADC0 Window Comparator Interrupt Priority Control 0: ADC0 Window interrupt set to low priority level. 1: ADC0 Window interrupt set to high priority level. |
| 1 | PSMB0 | System Management Bus (SMBus0) Interrupt Priority Control 0: SMBus interrupt set to low priority level. 1: SMBus interrupt set to high priority level. |
| 0 | PSPi0 | Serial Peripheral Interface (SPI0) Interrupt Priority Control 0: SPI0 interrupt set to low priority level. 1: SPI0 interrupt set to high priority level. |

EIP2—Extended Interrupt Priority 2

| Bit | Symbol | Description |
|-----|--------|---|
| 7 | PXVLD | External Clock Source Valid (XTLVLD) Interrupt Priority Control 0: XTLVLD interrupt set to low priority level. 1: XTLVLD interrupt set to high priority level. |
| 6 | EP1 | UART1 Interrupt Priority Control 0: UART1 interrupt set to low priority level. 1: UART1 interrupt set to high priority level. |
| 5 | PX7 | External Interrupt 7 Priority Control 0: External Interrupt 7 set to low priority level. 1: External Interrupt 7 set to high priority level. |
| 4 | PX6 | External Interrupt 6 Priority Control 0: External Interrupt 6 set to low priority level. 1: External Interrupt 6 set to high priority level. |
| 3 | PADC1 | ADC1 End of Conversion Interrupt Priority Control 0: ADC1 End of Conversion interrupt set to low priority level. 1: ADC1 End of Conversion interrupt set to high priority level. |
| 2 | PT4 | Timer 4 Interrupt Priority Control 0: Timer 4 interrupt set to low priority level. 1: Timer 4 interrupt set to high priority level. |
| 1 | PADC0 | ADC0 End of Conversion Interrupt Priority Control 0: ADC0 End of Conversion interrupt set to low priority level. 1: ADC0 End of Conversion interrupt set to high priority level. |
| 0 | PT3 | Timer 3 Interrupt Priority Control 0: Timer 3 interrupt set to low priority level. 1: Timer 3 interrupt set to high priority level. |



S I L I C O N L A B S

www.silabs.com/MCU