



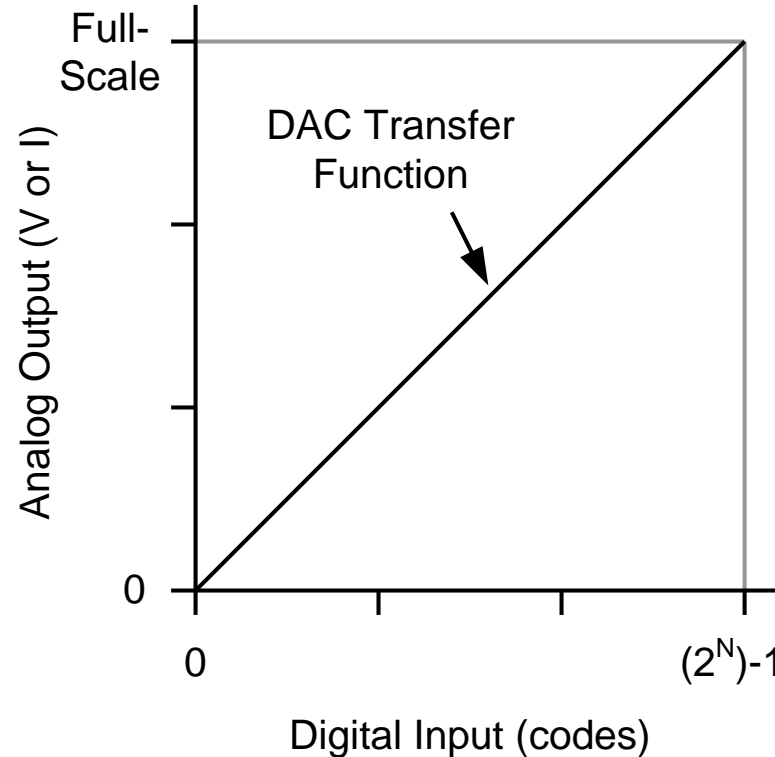
Lecture 11

Digital-to-Analog Converters
and Analog Comparators

- ◆ מה זה DAC?
- ◆ סוגי DAC.
- ◆ DAC בגודל 12 סיביות. (DAC0 ו- DAC1).
- סידור מוצא.
- רמות מתחים ביציאה.
- תכנון ממירי DAC.

- ◆ משווים אנלוגיים.
- דיאגרמת בלוקים.
- גרף של הסתרזיס.
- פלט של משווה.

- ◆ מיקרו בקר C8051F020 התקנים אנלוגיים הבאים:
 - 2 ממירים ADC: ראשון – 8 סיביות ושני 12 סיביות.
 - 2 ממירי DAC, כל אחד 12 סיביות.
 - מגברים עם הגבר ניתן לתכנון (PGAs).
 - מרבב אנלוגי (8 ו-9 ערוצים).
 - 2 משוויים אנלוגיים.
 - מתח ייחוס מדויק.
 - חיישן טמפרטורה.



- ◆ DAC זה קיצור של ממיר ספרתי לאנלוגי (digital-to-analog converter).
- ◆ DAC לוקח ערך ספרתי בכניסה ומייצר אות אנלוגי ביציאה (מתח או זרם).

◆ בסך הכול יש מעט סוגים של ממירי DAC.

➤ ממירי מתח.

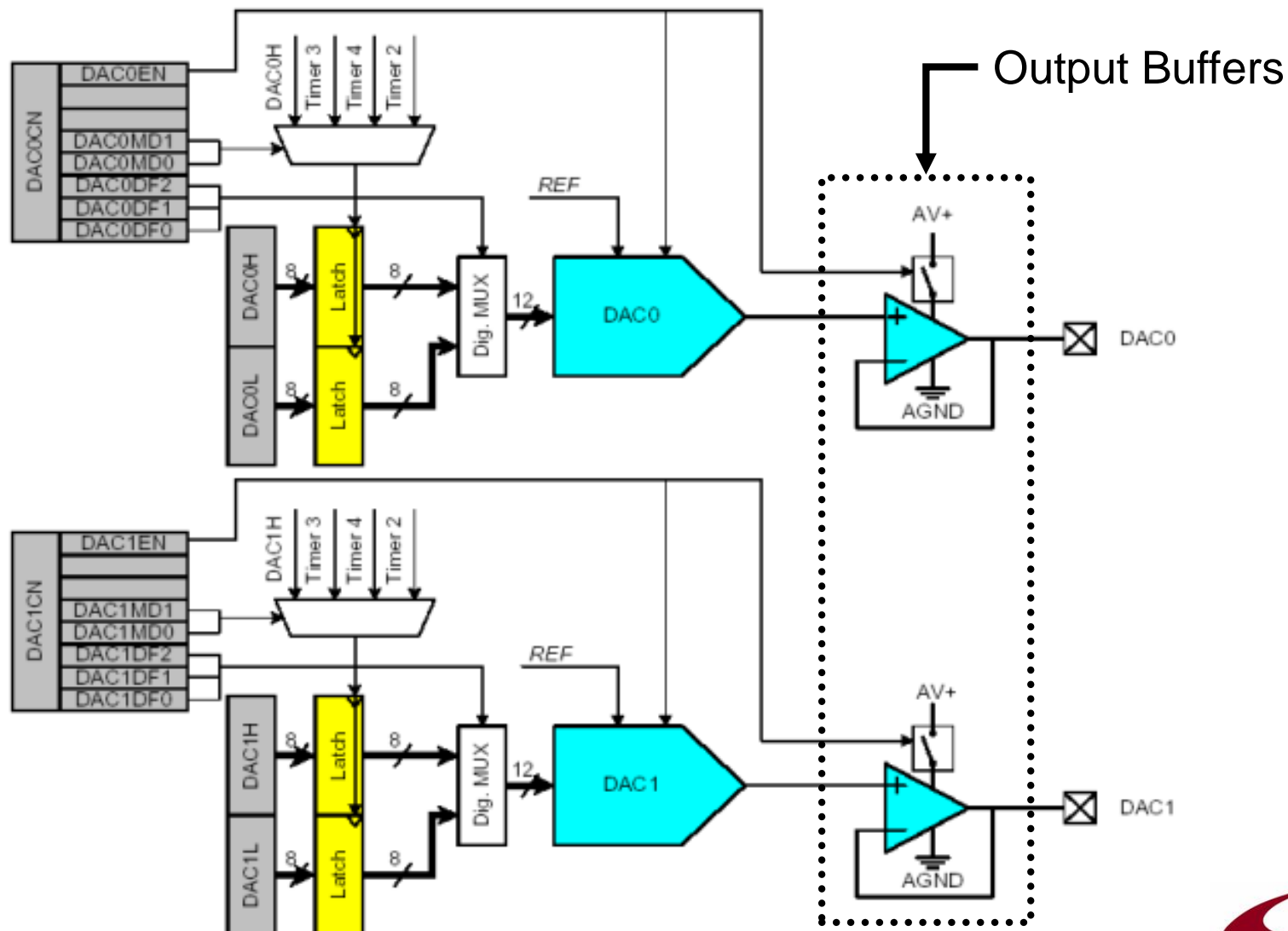
- מייצר מתח אנלוגי בהתאם למילה ספרתית הנקלטת.
- משתמש במתח ייחוס.
- מתח נשמר קבוע בהתאם לקלט וזרם משתנה בהתאם לצריכה של רכיבים.

➤ ממירי זרם.

- מייצר זרם אנלוגי בהתאם למילה ספרתית הנקלטת.
- משתמש בזרם ייחוס.
- זרם נשמר קבוע בהתאם לקלט ומתח משתנה בהתאם לצריכה של רכיבים.
- ישנם ממירים משני סוגים: *current sourcing* ו- *current sinking*.

- ◆ מערכת ממירי DAC מורכבת משני ממירים של 12 סיביות כל אחד.
- ◆ שניהם זהים מבחינה פונקציונלית וכל אחד ניתן להגדרה דרך אוגר שלו.
DAC0CN ו-DAC1CN.
- ◆ לממיר יש אפשרות לייצר מתח מ-0 עד VREF עבור מילת כניסה מ-000H עד FFFH.

ממירים 12 סיביות DAC0 ו- DAC1.



◆ ל- DAC ישנם 4 צורות של סידור מוצא:

- מוצא לפי דרישה. (כתיבת בית עליון של אוגר DACx או לאוגר DACxH).
- מילוי יתר של טיימר 2.
- מילוי יתר של טיימר 3.
- מילוי יתר של טיימר 4.

◆ מוצא לפי דרישה זה מצב ברירת מחדל של המערכת.

- במצב זה יש שינוי ביציאה של DAC, כאשר מספר חדש נכנס לאוגר DACxH.

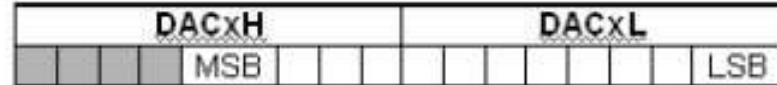
◆ כתיבה של ערך חדש לאוגר DACxL לא משפיעה על המערכת, כל עוד אין שינוי בערך של DACxH.

- כדי לכתוב מילה 12 סיביות לאוגר DACx, קודם כותבים בית תחתון לאוגר DACxL ואז בית עליון לאוגר DACxH.

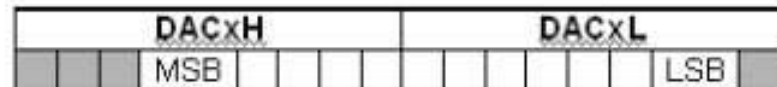
◆ כיצד מגדירים מיקום של 12 סיביות מתוך 16? 3 סיביות ראשונות (LSB) בתוך אוגר DACxDF יעזרו לנו. (DACxCN.[2:0]).

◆ לפי ציור ניתן לראות 5 אפשרויות האלה. מובן שברירת מחדל (מצב 000), כאשר 8 סיביות נמצאות בתוך אוגר DACxL ו-4 סיביות בתוך DACxH.

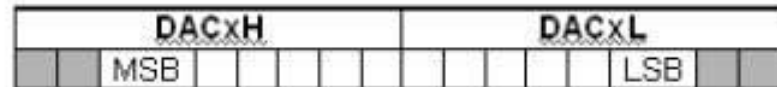
DACxDF2-0 = 000:



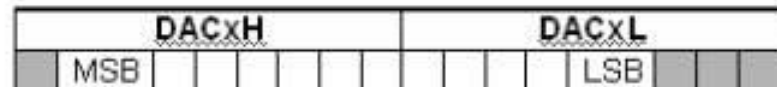
DACxDF2-0 = 001:



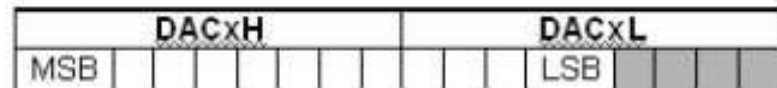
DACxDF2-0 = 010:



DACxDF2-0 = 011:



DACxDF2-0 = 1xx:



◆ ישנם 4 שלבים לתכנון DAC: (בדוגמא של ברירת מחדל 000).

➤ צעד 1: מגדירים מתח ייחוס בעזרת REF0CN.

➤ צעד 2: מכניסים מילה 12 סיביות לתוך אוגרים DACxL ו-DACxH.

➤ צעד 3: מגדירים מצב וצורת מילה ומפעילים DACx ע"י עליית ביט DACxCN.7.

➤ צעד 4: מפעילים טיימרים מתאימים במידה ומצב העבודה 2,3 או 4.



SILICON LABS

DAC0CN—DAC0 אוגר בקרה

Bit	Symbol	Description
7	DAC0EN	<p>DAC0 Enable Bit</p> <p>0: DAC0 disabled. DAC0 is in low power shutdown mode and the output pin is in a high impedance state.</p> <p>1: DAC0 enabled. DAC0 is operational and the output pin is active.</p>
6-5	-	UNUSED. Read=00, Write=don't care
4-3	DAC0MD1-0	<p>DAC0 Mode Bits</p> <p>00: DAC output updates occur on write to DAC0H.</p> <p>01: DAC output updates occur on Timer 3 overflow.</p> <p>10: DAC output updates occur on Timer 4 overflow.</p> <p>11: DAC output updates occur on Timer 2 overflow.</p>
2-0	DAC0DF2-0	<p>DAC0 Data Format Bits.</p> <p>000: The most significant 4 bits of the DAC0 Data Word are in DAC0H[3:0], while the least significant 8 bits are in DAC0L[7:0].</p> <p>001: The most significant 5 bits of the DAC0 Data Word are in DAC0H[4:0], while the least significant 7 bits are in DAC0L[7:1].</p> <p>010: The most significant 6 bits of the DAC0 Data Word are in DAC0H[5:0], while the least significant 6 bits are in DAC0L[7:2].</p> <p>011: The most significant 7 bits of the DAC0 Data Word are in DAC0H[6:0], while the least significant 5 bits are in DAC0L[7:3].</p> <p>1xx: The most significant 8 bits of the DAC0 Data Word are in DAC0H[7:0], while the least significant 4 bits are in DAC0L[7:4].</p>



DAC1CN—DAC1 אוגר בקרה

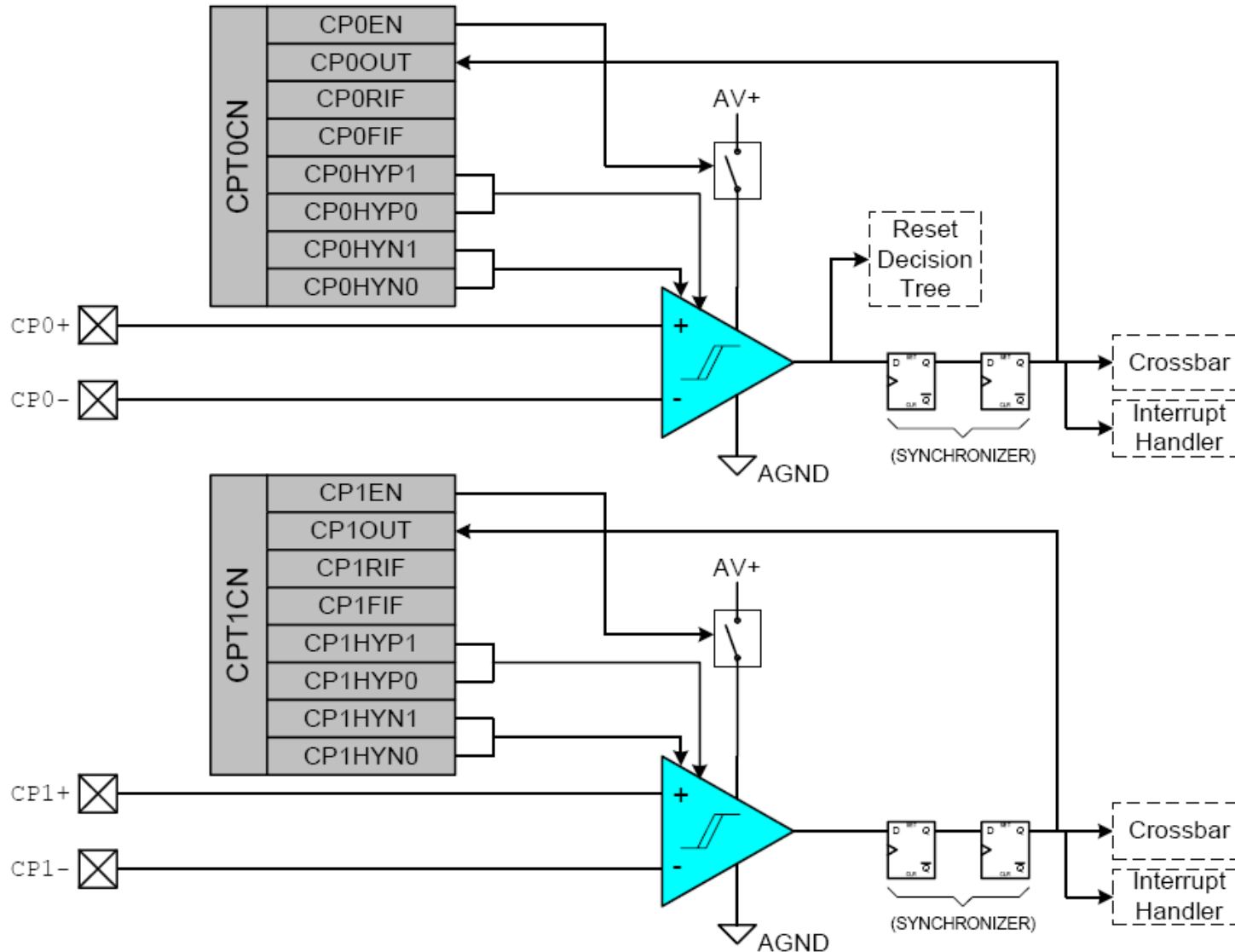
Bit	Symbol	Description
7	DAC1EN	<p>DAC1 Enable Bit</p> <p>0: DAC1 disabled. DAC1 is in low power shutdown mode and the output pin is in a high impedance state.</p> <p>1: DAC1 enabled. DAC1 is operational and the output pin is active.</p>
6-5	-	UNUSED. Read=00, Write=don't care
4-3	DAC1MD1-0	<p>DAC1 Mode Bits</p> <p>00: DAC output updates occur on write to DAC1H.</p> <p>01: DAC output updates occur on Timer 3 overflow.</p> <p>10: DAC output updates occur on Timer 4 overflow.</p> <p>11: DAC output updates occur on Timer 2 overflow.</p>
2-0	DAC1DF2-0	<p>DAC1 Data Format Bits.</p> <p>000: The most significant 4 bits of the DAC1 Data Word are in DAC1H[3:0], while the least significant 8 bits are in DAC1L[7:0].</p> <p>001: The most significant 5 bits of the DAC1 Data Word are in DAC1H[4:0], while the least significant 7 bits are in DAC1L[7:1].</p> <p>010: The most significant 6 bits of the DAC1 Data Word are in DAC1H[5:0], while the least significant 6 bits are in DAC1L[7:2].</p> <p>011: The most significant 7 bits of the DAC1 Data Word are in DAC1H[6:0], while the least significant 5 bits are in DAC1L[7:3].</p> <p>1xx: The most significant 8 bits of the DAC1 Data Word are in DAC1H[7:0], while the least significant 4 bits are in DAC1L[7:4].</p>

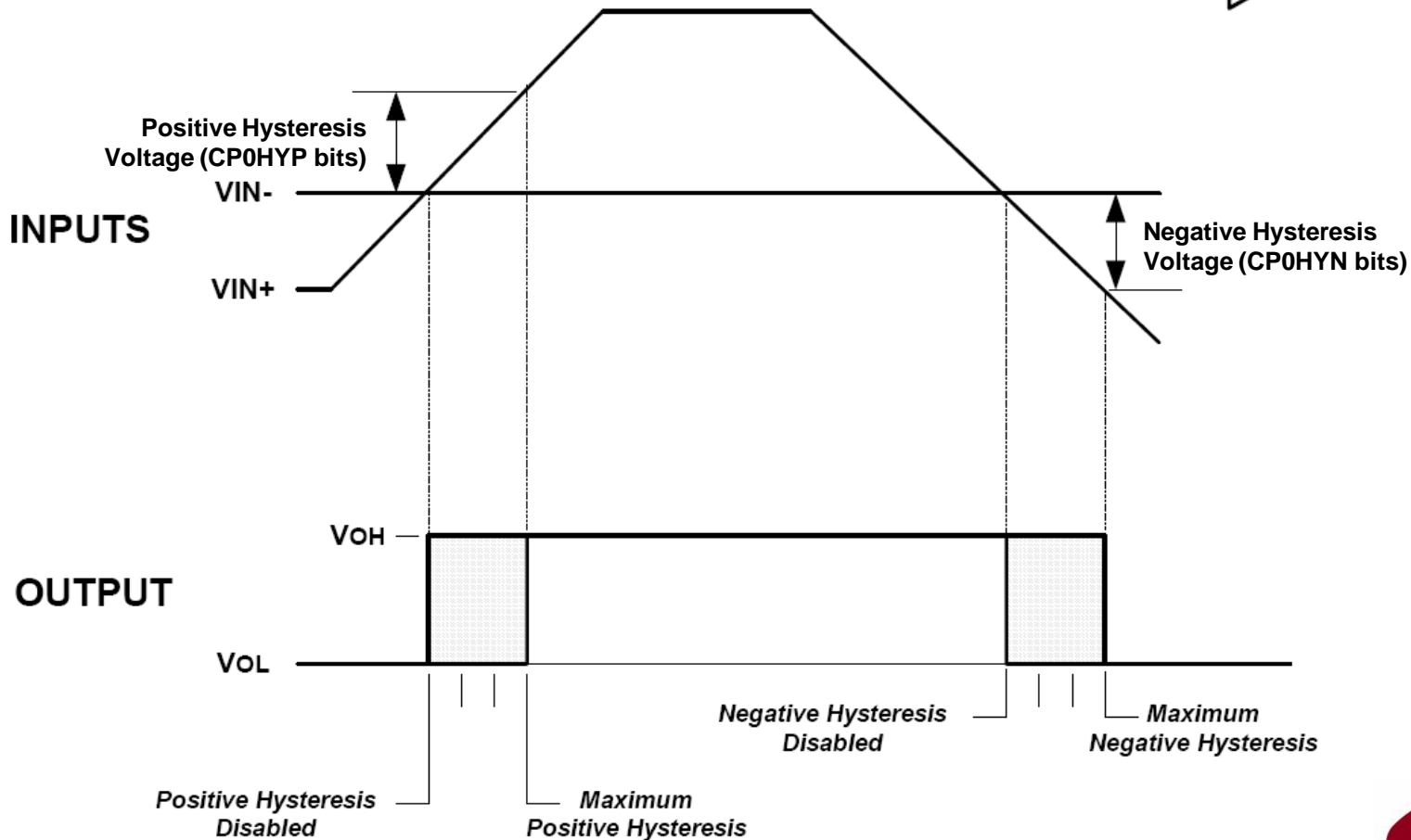
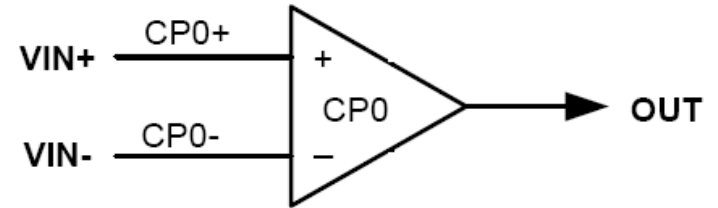


SILICON LABS

- ◆ רכיב אנלוגי פשוט פשוט שמשווה שני מתחים אנלוגיים.
- ◆ משווה מחולל "1" או "0" ביציאה בהתאם להפרש מתחים.

- ◆ במערכת יש 2 משווי מתח, כאשר כל אחד מאפשר באופן ייחודי.
- ◆ ניתן לקבוע פינים למשווים בעזרת ל-crossbar. תחום ערכים שאפשר לקלוט: מ- $-0.25 V$ עד לערך $[(AV+) + 0.25 V]$
- ◆ ניתן לקבוע פינים של יציאה של כל משווה בעזרת ל-crossbar.
- ◆ ניתן לתכנן כל משווה במצב open drain או במצב push-pull.
- ◆ ישנם 2 אוגרי בקרה של משוויים: **CPT0CN** ו- **CPT1CN** (Comparator control registers) משתמשים בהם כדי לתכנן משוויים.





◆ הסטרזיס – שימושי כדי לנטרל תהליך מחזורי של נתק-קצר ביציאה, שיכול לחזור על עצמו עקב ערכים קרובים בכניסה של משוואה.

◆ ניתן לתכנן הסטרזיס של כל משוואה ברמת תוכנה בתכנון אוגרי בקרת משוואה (סיביות 0 – 3):

- סיביות 0 – 1 להסטרזיס שלילי. CP0HYN (CP1HYN)
- סיביות 2 – 3 להסטרזיס חיובי. CP0HYP (CP1HYP)

- ◆ ניתן לגשת ליציאה של משווה בעזרת פסיקות או בעזרת שיטת polling.
- ◆ ניתן לגשת ולקרוא מצב של משווה בכל רגע ע"י קריאת סיבית CP0OUT או CP1OUT.
- ◆ ניתן לייצר פסיקה של משווה בעליית האות אלו- בירידת האות:
 - כאשר דגל CP0FIF (או CP1FIF) שווה ל-"1" משווה פועל לפי ירידת האות.
 - כאשר דגל CP0RIF (או CP1RIF) שווה ל-"1" משווה פועל לפי עליית האות.
 - ברגע שהגדרנו דגלים האלה הם שומרים מצב עד שאנו ננקה אותם (נעביר למצב "0") ברמת תוכנה.

Interrupt Source	Interrupt Vector	Priority Order	Pending Flag	Enable Flag	Priority Control
Comparator 0 Falling Edge	0053	10	CP0FIF (CPT0CN.4)	ECP0F (EIE1.4)	PCP0F (EIP1.2)
Comparator 0 Rising Edge	005B	11	CP0RIF (CPT0CN.5)	ECP0R (EIE1.5)	PCP0R (EIP1.5)
Comparator 1 Falling Edge	0063	12	CP1FIF (CPT1CN.4)	ECP1F (EIE1.6)	PCP1F (EIP1.6)
Comparator 1 Rising Edge	006B	13	CP1RIF (CPT1CN.5)	ECP1R (EIE1.7)	PCP1F (EIP1.7)

CPT0CN—0 אוגר בקרה של משווה 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0x9E
Bit7:	CP0EN: Comparator0 Enable Bit. 0: Comparator0 Disabled. 1: Comparator0 Enabled.							
Bit6:	CP0OUT: Comparator0 Output State Flag. 0: Voltage on CP0+ < CP0-. 1: Voltage on CP0+ > CP0-.							
Bit5:	CP0RIF: Comparator0 Rising-Edge Interrupt Flag. 0: No Comparator0 Rising Edge Interrupt has occurred since this flag was last cleared. 1: Comparator0 Rising Edge Interrupt has occurred.							
Bit4:	CP0FIF: Comparator0 Falling-Edge Interrupt Flag. 0: No Comparator0 Falling-Edge Interrupt has occurred since this flag was last cleared. 1: Comparator0 Falling-Edge Interrupt has occurred.							
Bits3-2:	CP0HYP1-0: Comparator0 Positive Hysteresis Control Bits. 00: Positive Hysteresis Disabled. 01: Positive Hysteresis = 2 mV. 10: Positive Hysteresis = 4 mV. 11: Positive Hysteresis = 10 mV.							
Bits1-0:	CP0HYN1-0: Comparator0 Negative Hysteresis Control Bits. 00: Negative Hysteresis Disabled. 01: Negative Hysteresis = 2 mV. 10: Negative Hysteresis = 4 mV. 11: Negative Hysteresis = 10 mV.							



CPT1CN—1 אוגר בקרה של משווה 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
CP1EN	CP1OUT	CP1RIF	CP1FIF	CP1HYP1	CP1HYP0	CP1HYN1	CP1HYN0	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0x9F
Bit7:	CP1EN: Comparator1 Enable Bit. 0: Comparator1 Disabled. 1: Comparator1 Enabled.							
Bit6:	CP1OUT: Comparator1 Output State Flag. 0: Voltage on CP1+ < CP1-. 1: Voltage on CP1+ > CP1-.							
Bit5:	CP1RIF: Comparator1 Rising-Edge Interrupt Flag. 0: No Comparator1 Rising Edge Interrupt has occurred since this flag was last cleared. 1: Comparator1 Rising Edge Interrupt has occurred.							
Bit4:	CP1FIF: Comparator1 Falling-Edge Interrupt Flag. 0: No Comparator1 Falling-Edge Interrupt has occurred since this flag was last cleared. 1: Comparator1 Falling-Edge Interrupt has occurred.							
Bits3-2:	CP1HYP1-0: Comparator1 Positive Hysteresis Control Bits. 00: Positive Hysteresis Disabled. 01: Positive Hysteresis = 2 mV. 10: Positive Hysteresis = 4 mV. 11: Positive Hysteresis = 10 mV.							
Bits1-0:	CP1HYN1-0: Comparator1 Negative Hysteresis Control Bits. 00: Negative Hysteresis Disabled. 01: Negative Hysteresis = 2 mV. 10: Negative Hysteresis = 4 mV. 11: Negative Hysteresis = 10 mV.							



S I L I C O N L A B S

www.silabs.com/MCU