

משרד החינוך
המינהל למדע ולטכנולוגיה
הפיקוח על מגמת הנדסת אלקטרוניקה ומחשבים
ומגמת מערכות בקרה ואנרגיה

מגמת הנדסת אלקטרוניקה ומחשבים

תכנית לימודים למקצוע

שפת תיאור חומרה VHDL

סמל מקצוע 11.9014

כיתה י"ד

שפת תיאור חומרה VHDL – 108 שעות

כיתה י"ד

<u>מספר שעות</u>	<u>ראשי פרקים</u>
3	1. ההתפתחות של שפת VHDL ושל רכיבים ברי-תכנות
5	2. עקרונות ושליבים בתכנון מערכות ספרתיות
6	3. מבנים (בלוקים) עיקריים בתכנית בשפת VHDL
8	4. סוגים עיקריים של משתנים
2	5. אופרטורים ופקדים לוגיים ואריתמטיים
6	6. מימוש של מערכות על-פי תכנון מקבילי
16	7. תכנון סידרתי (טורי) ושימוש ב- PROCESS
15	8. תכנון של מערכות ספרתיות כמכונות מצבים-(State Machines)
12	9. עקרונות התכנון ההיררכי של מערכות ספרתיות (Hierarchical Projects)
9	10. פונקציות, פרוצדורות וחבילות תקניות (סטנדרטיות)
6	11. עקרונות של כתיבת Test Bench
20	12. מטלה מסכמת
108	סך-הכול

3 שעות	1. התפתחות של שפת VHDL ושל רכיבים ברי-תכנות
	1.1 המטרה של שפת VHDL, היתרונות של שפת VHDL על פני שיטות מימוש אחרות של מערכות ספרתיות.
	1.1.1 ההיסטוריה של שפת VHDL.
	1.1.2 השוואת השימוש בשפת VHDL לשיטת המימוש הקלאסית Random Logic.
	1.2 רכיבים ברי-תכנות – חזרה.
	1.2.1 רכיבים מסוג PLA ו-PAL.
	1.2.2 תיאור המבנה העקרוני של רכיבים מסוג CPLD ו-FPGA.
5 שעות	2. עקרונות ושלבים בתכנון של מערכות ספרתיות
	2.1 עקרון התכנון "מלמעלה למטה", TOP DOWN, עקרון התכנון "מלמטה למעלה", BOTTOM UP.
	2.2 תהליך התכנון ופירוט השלבים השונים במימוש של מערכת ספרתית בשפת VHDL לפי מפרט ידוע: הידור(קומפילציה), הדמיה (סימולציה), סינתזה וצריבה.
	2.3 מושגים בסיסיים בשפת VHDL – הצגה ראשונית. Entity, Event, Architecture, Component, Signal, Constant.
6 שעות	3. מבנים (בלוקים) עיקריים בתכנית בשפת VHDL
	3.1 תכנון וכתיבה של ישות (ENTITY).
	3.1.1 תיאור הממשק לסביבת העבודה (PORT).
	3.1.2 אופן (MODE), הפעולה של משתנים: INOUT, OUT, IN, BUFFER.
	3.2 מבנה גוף התכנית, בלוק ה-ARCHITECTURE – מבנה של תכנית קלאסית.
	3.3 בלוק ה-PROCESS ותפקידו – הסבר כללי*.

* פירוט נרחב מופיע בסעיף 7.3.1.

4. סוגים עיקריים של משתנים **8 שעות**

- 4.1 משתנים לוגיים, אופן השימוש בהם ואופן ההצבה בהם.
(STD_LOGIC_VECTOR , STD_LOGIC, BIT_VECTOR , BIT)
- 4.2 משתנה מסוג INTEGER.
 - 4.2.1 השימוש במשתנה ואופן ההצבה בו.
 - 4.2.2 אופן הקצאת החומרה למשתנה .
- 4.3 הצהרה על משתני עזר פנימיים (VARIABLE, SIGNAL) והשימוש בהם.
 - 4.3.1 הכרת השימוש במשתנה עזר מסוג SIGNAL.
 - 4.3.2 שימוש ב-SIGNAL כ-"חוט מקשר" בין מבנים.
 - 4.3.3 הגדרת משתנה כללי מסוג VARIABLE והכרת השימוש בו.
 - 4.3.4 מתן שמות חלופיים למשתנים (ALIAS).
 - 4.3.5 הגדרת קבוע (CONSTANT).
 - 4.3.6 משתנים כלליים (GENERIC) ואופן השימוש בהם.

5. אופרטורים ופקדים לוגיים ואריתמטיים **2 שעות**

- 5.1 הכרת האופרטורים הלוגיים: XNOR, XOR , NOR, NAND, NOT , AND, OR.
- 5.2 הכרת אופרטורים אריתמטיים ולוגיים: = , > , < , / , * , - , + , & .
- 5.3 הכרת פעולות הזזה אריתמטיות ולוגיות: SLL, SRL, SLA, SRA, ROL, ROR.

6. מימוש מערכות על-פי תכנון מקבילי **6 שעות**

- 6.1 הבנת המהות של התכנון המקבילי והצורך בו.
- 6.2 תכנון של מערכות צירופיות באמצעות אופרטורים לוגיים בלבד.
- 6.3 הוספת התניות בגוף התכנית, מחוץ ל-PROCESS.
 - 6.3.1 לימוד השימוש בתנאי WITH...SELECT.
 - 6.3.2 לימוד השימוש בתנאי WHEN...ELSE , הדגשה של האפשרות לביצוע של עדיפויות בדיקה.
- 6.4 מימוש של מערכות צירופיות, שימוש בהתניות מחוץ ל-PROCESS.

16 שעות **7.7 תכנון סידרתי (טורי) ושימוש ב-PROCESS**

- 7.1 הבנת המהות של התכנון הסדרתי (טורי) ושל הצורך בו.
- 7.2 הכרת המבנה, התצורה והמשמעות הלוגית של בלוק ה-PROCESS.
- 7.3 רשימת רגישויות.
 - 7.3.1 הבנת המושג רשימת רגישויות.
 - 7.3.2 תיאור של היוצרות LATCH כתוצאה משימוש שגוי ברשימת רגישויות.
- 7.4 הכרה של תכונת אירוע (EVENT) ושיוכו של אירוע למשתנה.
- 7.5 ביצוע של השהיה ושל השהיה מותנית באמצעות שימוש בפקודת WAIT UNTIL- WAIT.
- 7.6 ביצוע של התניות בתוך ה-PROCESS.
 - 7.6.1 לימוד של תנאי מסוג IF, הדגשת האפשרות של ביצוע עדיפויות בדיקה.
 - 7.6.2 לימוד של תנאי מסוג CASE.
- 7.7 שימוש במשתני עזר פנימיים, VARIABLES, ל-PROCESS.
- 7.8 פיתוח של מערכות עקיבה (מערכות עם זיכרון) עם שימוש בהתניות:
 - 7.8.1 מימוש של הדלגלים: SRFF,JKFF,TFF,DFF.
 - 7.8.2 כתיבת קוד לאיפוס סינכרוני ואיפוס אסינכרוני.
 - 7.8.3 מימוש של מונים: מונה בינארי, מונה עשירוני ומונה ג'ונסון.

15 שעות **8.8 תכנון של מערכות ספרתיות כמכונות מצבים (State Machines)**

- 8.1 הגדרת טיפוסים משתנים חדשים על-ידי המשתמש (TYPE) - user defined types
- 8.2 עקרונות הפעולה ואופן המימוש של מכונת מצבים.
- 8.3 ביצוע של פעולת סרק, NULL.

9. עקרונות התכנון ההיררכי של מערכות ספרתיות (Hierarchical Projects) 12 שעות

- 9.1 יתרונות השימוש בתכנון היררכי של מערכות ספרתיות.
- 9.2 PDR (Preliminary Design Review) של מערכת: עץ מבניות בתכנון היררכי.
 - 9.2.1 עקרונות התכנון בשיטה "מלמעלה למטה".
 - 9.2.2 שימוש בעורך גרפי לחיבור בין מבניות בתכנון ההיררכי.
 - 9.2.3 הגדרת מבנית ושימוש בה כמרכיב בתכנון ההיררכי בעורך הטקסט (PORT MAP, COMPONENT).
 - 9.2.4 שימוש בפקודת GENERATE.
 - 9.2.4.1 שימוש בלולאת FOR לחיבור ולשרשור מבניות.
 - 9.2.4.2 פעולת GENERATE מותנית בתנאי IF.

10. פונקציות, פרוצדורות וחבילות סטנדרטיות 9 שעות

- 10.1 הכרת כללי התחביר להגדרת פרמטרים של פונקציה (FUNCTION) ועקרונות השימוש בפונקציה.
- 10.2 הכרת כללי התחביר להגדרת פרמטרים של פרוצדורה (PROCEDURE) ועקרונות השימוש בפרוצדורה.
- 10.3 הכרה של חבילת הפונקציות ושל חבילת הפרוצדורות הסטנדרטיות.
 - 10.3.1 הכרת החבילה STD_LOGIC_1164.
 - 10.3.2 הכרת החבילה STD_LOGIC_ARITH.
 - 10.3.3 הכרת החבילה STD_LOGIC_UNSIGNED.
- 10.4 בנייה של חבילת פונקציות (PACKAGE).

11. עקרונות של כתיבת Test Bench 6 שעות

- 11.1 עקרונות של כתיבת תכנית "סביבת בדיקה" עבור תכנית UUT-Unit Under Test.
- 11.2 הפעלת אלמנטים של השהיה וזמן בתכנית "סביבת בדיקה".
- 11.3 שימוש ברמות דיווח שונות (REPORT, ASSERT).
- 11.4 שימוש במערכים "מצוירים" בתכנית "סביבת בדיקה" לצורך עירור מבואות UUT.

תפקיד המטלה המסכמת להטמיע את השימוש בשפה. מומלץ לבצע את המטלה במקביל ללימודים ההתנסותיים, בהתאם להנחיות הבאות:

- ❖ המטלה המסכמת עשויה לכלול צירוף של שני פרויקטונים (לפחות), מאלה המופיעים בתכנית הלימודים ההתנסותית. ניתן להציע מטלה עצמאית בהיקף ורמה מתאימים.
- ❖ מומלץ שביצוע של המטלה המסכמת ייעשה בקבוצות של 2-4 סטודנטים, וזאת בהתאם להיקף העבודה הנדרש במטלה.
- ❖ ניתן לבצע יותר ממטלה אחת בהתאם להיקף השעות הנדרש לביצוע של כל אחת מן המטלות.
- ❖ אותה מטלה יכולה להתבצע על-ידי כלל הסטודנטים בכיתה, או לחילופין כל אחת מן הקבוצות של הסטודנטים תבצע מטלה שונה.
- ❖ תהליך התכנון והביצוע של המטלה המסכמת יבוצע בהנחיתו של מורה המלמד.
- ❖ בסיום ביצוע המטלה יוגש דוח מסכם על-פי הדרישות הבאות:
 - א. הצגת מטרת המטלה והמפרט הטכני של הפרויקטון.
 - ב. סרטוט תרשים המלבנים של המערכת – הכולל את תיאור של המבואות והמוצאים ואת סוג המשתנים המייצג אותם.
 - ג. תיאור של חלוקת המערכת לתת-מבנה – תוך ציון המבואות והמוצאים של כל תת-מבנה.
 - ד. תיאור של חלוקת העבודה בין חברי הקבוצה- בהתאם לחלוקה לתת הנערכות .
 - ה. הצגה של קוד VHDL לכל תת-מבנה.
 - ו. הצגת תוצאות ההדמיה עבור כל תת-מערכת.
 - ז. תיאור של האינטגרציה בין המרכיבים השונים, ותיאור של תהליך בדיקת תקינות המערכת (הדמיה)
- ❖ **המלצה:** לאחר ביצוע של תכנון המטלה ובדיקתה, מומלץ לממשה בחומרה במסגרת שעות המעבדה.

הערות

1. מומלץ לשקול בחיוב את חיזוק הקשר בין הלימודים העיוניים לבין הלימודים ההיתנסותיים, וזאת באמצעות שילוב, במסגרת השעות העיוניות, ביצוע של חמש מטלות עיוניות*, על-פי הפירוט הבא:

- **מטלה 1** – פתרון עיוני לשני ניסויים מתוך הקבוצה (3,4,5).
- **מטלה 2** – פתרון עיוני לשלושה ניסויים מתוך הקבוצה (6,7,8,9,10).
- **מטלה 3** – פתרון עיוני לניסוי אחד מתוך הקבוצה (11,12).
- **מטלה 4** – פתרון עיוני לניסוי אחד מתוך הקבוצה (13,14).
- **מטלה 5** – פתרון עיוני לשני ניסויים מתוך הקבוצה (15,16,17).

* **המלצה**: לאחר ביצוע של תכנון המטלה ובדיקתה, מומלץ לממשה, בחומרה, במסגרת

שעות המעבדה.

ספרות מומלצת

- .1 אלקטרוניקה ספרתית, כרך ב', יחידה 8 – תיכון חומרה בעזרת **VHDL**, הוצאת אורט ובית הספר לטכנולוגיה של האוניברסיטה הפתוחה, (2004)
ISBN: 965-06-0661-0
- .2 שפת תיאור חומרה **VHDL**, אייל חברבר, הוצאת שורש, (2004).
- .3 תיכון חומרה ניסויים ופרויקטים ב- **VHDL**, הוצאת מטח ובית הספר לטכנולוגיה של האוניברסיטה הפתוחה, (2005) ISBN: 965-06-0732-3
- .4 **The VHDL Golden Reference Guide**, DOULOS
- .5 **VHDL Programming by Example**, Douglas L.Perry, McGraw-Hill