

## אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

## הוראות לנבחנים

א. משך הבחינה: ארבע שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שני פרקים, ובהם שמונה שאלות. יש להשיב על ארבע שאלות בלבד, שאלה אחת לפחות מכל פרק. לכל שאלה – 25 נקודות. סך-הכול – 100 נקודות.

ג. חומר עזר מותר בשימוש:

- כל חומר הכתוב (בכתב-יד או בהדפסה) על שלושה דפי A4, משני הצדדים.
- מחשבון.

ד. הוראות מיוחדות:

- ענו על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר התשובות הנדרש בלבד, לפי סדר כתיבתן במחברת, ולא יתייחס לתשובות נוספות.
- התחילו כל תשובה לשאלה חדשה בעמוד חדש.
- כתבו את כל התשובות אך ורק בעט.
- הקפידו לנסח את התשובות כהלכה ולסרטט את התרשימים בבהירות.
- כתבו את התשובות בכתב-יד ברור, כדי לאפשר הערכה נאותה שלהן.
- בכל שאלה ניתנו הנתונים לפתרונה. אם לדעתכם חסרים נתונים הדרושים לפתרון שאלה, אתם רשאים להוסיף אותם, בתנאי שתנמקו מדוע הוספתם אותם.
- בכתיבת פתרונות חישוביים, קבלת מִרְב הנקודות מותנית בהשלמת כל המהלכים שלהן, בסדר שבו הם כתובים:
  - \* כתיבת הנוסחה המתאימה.
  - \* הצבה של כל הערכים ביחידות המתאימות.
  - \* חישוב (אפשר באמצעות מחשבון).
  - \* כתיבת התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
  - \* ליווי הפתרון החישובי בהסבר קצר.
- בנספח ג' לשאלון מובא מילון מונחים בשפות עברית, אנגלית, רוסית וערבית. תוכלו להיעזר בו בעת הצורך.
- צרפו את שלושת דפי ה-A4 למחברת הבחינה.

## הוראות למשגיחים:

יש לוודא כי הנבחנים צירפו את דפי ה-A4 למחברת הבחינה.

כתבו במחברת הבחינה בלבד, בעמודים נפרדים, כל מה שברצונכם לכתוב כטייטה (ראשי פרקים, חישובים וכדומה). כתבו "טייטה" בראש כל עמוד טייטה. כתיבת טייטות כלשהן על דפים שמחוץ למחברת הבחינה עלולה לגרום לפסילת הבחינה!

בשאלון זה 11 עמודים ו-25 עמודי נספחים.

השאלות בשאלון זה מנוסחות בלשון רבים, אף על פי כן על כל תלמידה וכל תלמיד להשיב עליהן באופן אישי.

בהצלחה!

המשך מעבר לדף

## השאלות

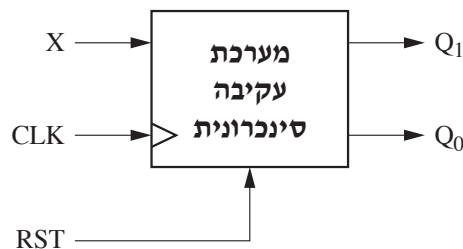
ענו על ארבע שאלות מן השאלות 1-8 (לכל שאלה – 25 נקודות). עליכם לענות על שאלה אחת לפחות מכל פרק.

### פרק ראשון: מעגלים אלקטרוניים

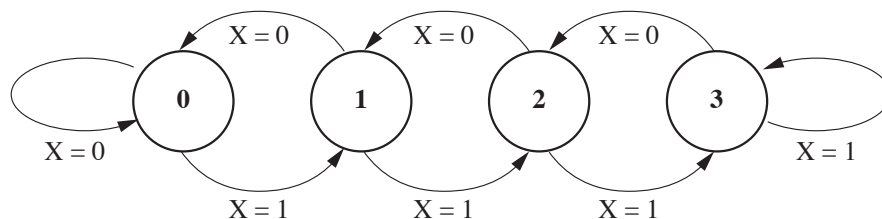
ענו על שאלה אחת לפחות מבין השאלות 1-4 (לכל שאלה – 25 נקודות).

#### שאלה 1

באיור א' לשאלה 1 מתוארת מכונת עקיבה סינכרונית הכוללת מבוא  $X$  ושני מוצאים:  $Q_1$ ,  $Q_0$ .  
באיור ב' לשאלה 1 מתוארת דיאגרמת בועות המתארת את הנדרש ממערכת עקיבה זו.



איור א' לשאלה 1



איור ב' לשאלה 1

תכננו את מערכת העקיבה הסינכרונית באמצעות דלגלי  $JK - FF$  ושערים לוגיים על-פי הצורך.

הניחו שהמצב ההתחלתי של המערכת הוא:  $Q_1 = 0$ ,  $Q_0 = 0$ .

בתהליך התכנון בצעו את השלבים האלו:

6 נק' א. כתבו את טבלת המצבים של המערכת.

6 נק' ב. כתבו את טבלת המעברים ואת טבלת העירור של המערכת.

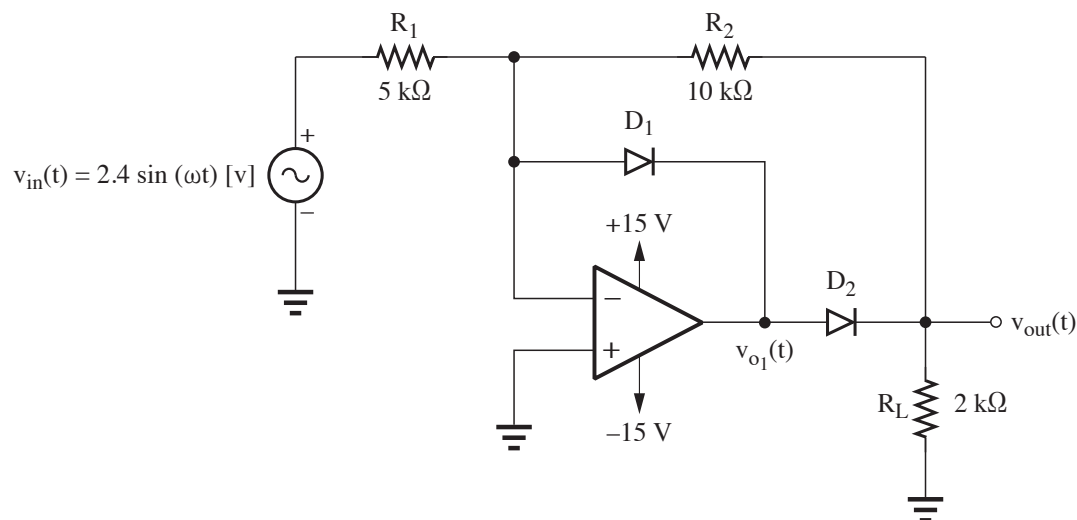
6 נק' ג. פשטו את פונקציות המבוא של הדלגלים.

7 נק' ד. ממשו את המערכת באמצעות דלגלי  $JK - FF$  ושערים לוגיים על-פי הצורך.

## שאלה 2

באיור לשאלה 2 מתואר מיישר חד-דרכי. מגבר השרת שבמעגל הוא אידיאלי.

נתוני הדיודות  $D_1$  ו- $D_2$ :  $V_D = 0.7 \text{ V}$



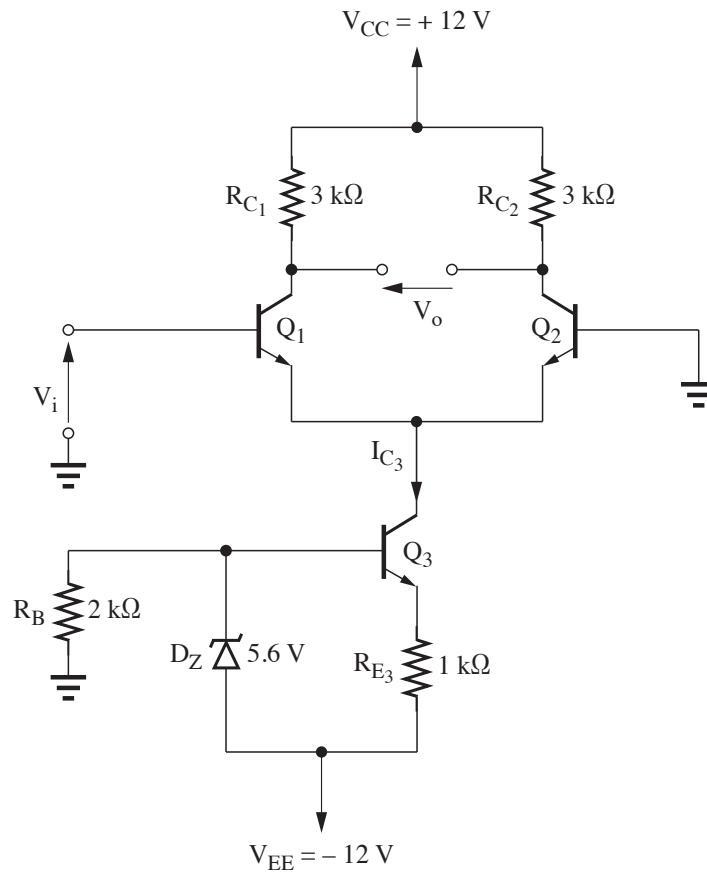
## איור לשאלה 2

- א. (7 נק') סרטטו זה מתחת לזה בהתאמה את אות מתח המבוא,  $v_{in}(t)$ , ואת אות מתח המוצא,  $v_{out}(t)$ , עבור שני מחזורים.
- ב. (6 נק') חשבו את ערכו המרבי של מתח המוצא  $v_{out}(t)$ .
- ג. (6 נק') חשבו את הערך המרבי ואת הערך המזערי של המתח  $v_{o1}(t)$ .
- ד. (6 נק') חשבו את ערכו המרבי של הזרם הזורם דרך הדיודה  $D_2$ .

### שאלה 3

באיור לשאלה 3 מתואר מעגל חשמלי הכולל שלושה טרנזיסטורים זהים.

נתוני הטרנזיסטורים:  $V_{BE} = 0.6 \text{ V}$  ;  $h_{fe} = \beta = 100$  ;  $h_{ie} = 1 \text{ k}\Omega$



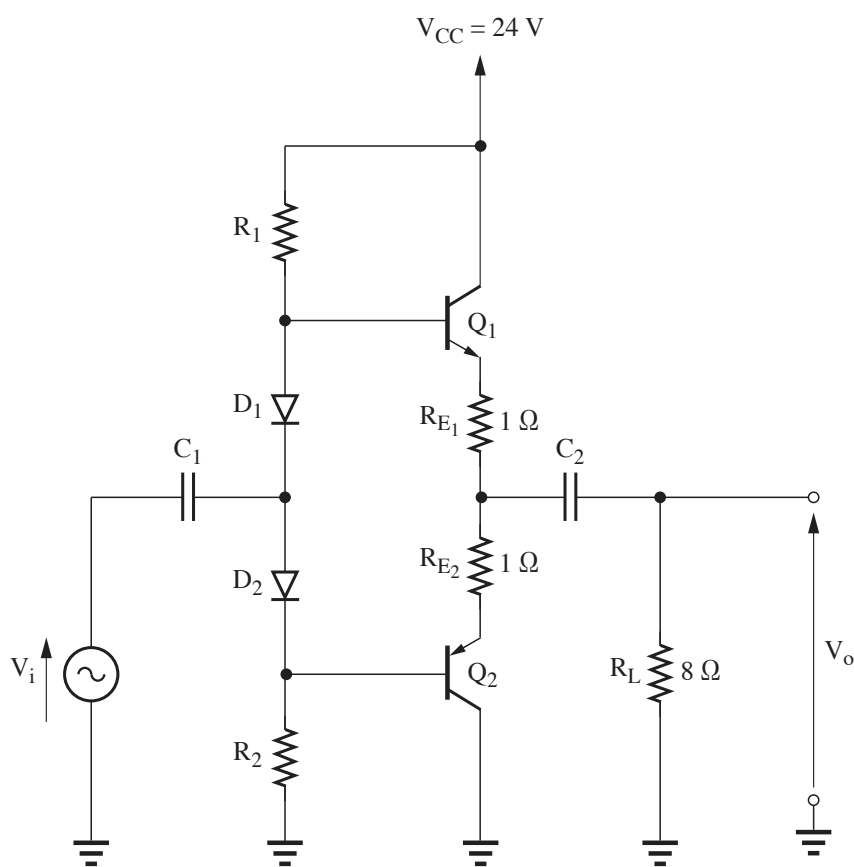
### איור לשאלה 3

- א. (9 נק') חשבו את זרם הקולט של טרנזיסטור  $Q_3$ ,  $I_{C3}$ .
- ב. (7 נק') חשבו את נקודת העבודה של הטרנזיסטורים  $Q_1$  ו- $Q_2$  ( $V_{CE}$ ,  $I_C$ ).
- ג. (9 נק') חשבו את הגבר המתח של המעגל  $A_V = \frac{V_o}{V_i}$ .

#### שאלה 4

באיור לשאלה 4 מתואר מעגל חשמלי של מגבר הספק. היגבי הקבלים שבמעגל – זניחים. הדיודות  $D_1$  ו- $D_2$  זהות.

נתונים:  $R_1 = R_2$  ;  $V_{CE1,sat} = V_{EC2,sat} = 1 \text{ V}$



איור לשאלה 4

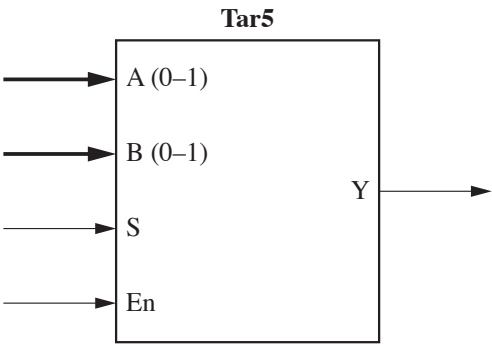
- א. (8 נק') חשבו את ערכו המרבי של הזרם הזורם בנגד העומס,  $R_L$ .
- ב. (8 נק') חשבו את ההספק היעיל המרבי על נגד העומס,  $R_L$ .
- ג. (9 נק') חשבו את נצילות המעגל כאשר ההספק על העומס הוא הגדול ביותר (יש להזניח את הספקי הדיודות והנגדים  $R_2, R_1$ ).

**פרק שני: שפת תיאור חומרה VHDL**

ענו על שאלה אחת לפחות מבין השאלות 5–8 (לכל שאלה – 25 נקודות).

**שאלה 5**

באיור לשאלה 5 נתון הסמל של מערכת ספרתית בשם Tar5.



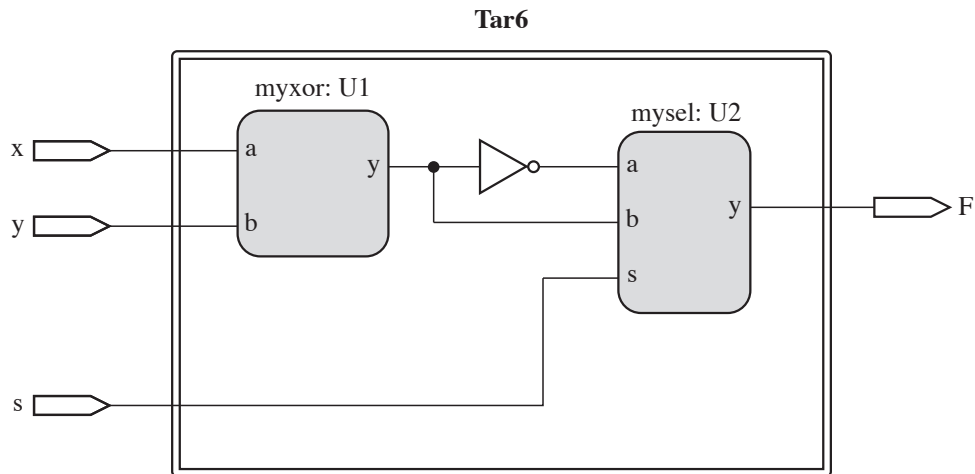
**איור לשאלה 5**

אותות המבוא A, B הם בעלי שתי סיביות, ואותות המבוא S, En ואות המוצא Y הם בעלי סיבית אחת. כתבו תוכנית בשפת VHDL, שתבצע את הפעולות הכתובות בטבלה שלפניכם.

| En | S | Y                          |
|----|---|----------------------------|
| 0  | 0 | '0'                        |
| 0  | 1 | '0'                        |
| 1  | 0 | '1' אם $B > A$<br>אחרת '0' |
| 1  | 1 | '1' אם $A > B$<br>אחרת '0' |

## שאלה 6

באיור לשאלה 6 נתונה מערכת ספרתית בשם Tar6, הכוללת שתי יחידות, mysel ו-myxor, ושער NOT.



## איור לשאלה 6

כמו כן נתון המימוש בשפת VHDL של כל אחת מהיחידות mysel ו-myxor.

|                                                                                                                                                                        |                                                                                                                                                                                     |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <pre> ENTITY myxor IS     PORT(a, b : IN BIT;           y :OUT BIT); END myxor;  ARCHITECTURE behave OF myxor IS BEGIN     y &lt;= a XOR b; END behave;         </pre> | <pre> ENTITY mysel IS     PORT(a, b s : IN BIT;           y:OUT BIT); END mysel;  ARCHITECTURE behave OF mysel IS BEGIN     y &lt;= a WHEN s='0' ELSE b; END behave;         </pre> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

12 נק') א. כתבו תוכנית בשפת VHDL למימוש המערכת Tar6, הכוללת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS). המימוש יתבצע לפי עקרונות התכנון ההיררכי.

5 נק') ב. העתיקו למחברת הבחינה את האיור לשאלה 6 וסמנו עליו את האותות (signals) שהגדרתם בסעיף א'.

8 נק') ג. כתבו את הפונקצייה הבוליאנית  $F(x,y,s)$  שהמערכת מממשת, ואת טבלת האמת של הפונקצייה.

## שאלה 7

להלן תוכנית בשפת VHDL המתארת את המערכת הספרתית Tar7.

```
1.  LIBRARY IEEE;
2.  USE IEEE.std_logic_1164.ALL;
3.
4.  ENTITY Tar7 IS
5.      PORT (
6.          clk, rst, load : IN  STD_LOGIC;
7.          din             : IN  STD_LOGIC;
8.          pdata           : IN  STD_LOGIC_VECTOR(3 downto 0);
9.          q               : OUT STD_LOGIC_VECTOR(3 downto 0));
10. END ENTITY Tar7;
11.
12. ARCHITECTURE rtl OF Tar7 IS
13.     SIGNAL reg : STD_LOGIC_VECTOR(3 downto 0);
14.     BEGIN
15.         PROCESS(clk, rst)
16.             BEGIN
17.                 IF rst = '1' THEN
18.                     reg <= (others => '0');
19.                 ELSIF RISING_EDGE(clk) THEN
20.                     IF load = '1' THEN
21.                         reg <= pdata;
22.                     ELSE
23.                         reg <= din & reg(3 downto 1);
24.                     END IF;
25.                 END IF;
26.             END PROCESS;
27.             q <= reg;
28. END ARCHITECTURE rtl;
```

- (10 נק') א. הסבירו את ההוראות שבשורות 13, 19, 23, 27.
- (8 נק') ב. העתיקו את הטבלה שלפניכם למחברת הבחינה והשלימו בה את העמודה הריקה. כמו כן, כתבו את ייעודם של ההדקים pdata ו-load.

| rst | clk | load | pdata | din | q |
|-----|-----|------|-------|-----|---|
| 1   | ↑   | 0    | 1010  | 0   |   |
| 0   | ↑   | 0    | 1010  | 1   |   |
| 0   | ↑   | 0    | 1010  | 1   |   |
| 0   | ↑   | 1    | 1010  | 0   |   |
| 0   | ↑   | 0    | 1010  | 0   |   |
| 0   | ↑   | 0    | 1010  | 1   |   |
| 0   | ↑   | 0    | 1010  | 1   |   |

- (7 נק') ג. מחליפים את השורה 23

```
reg <= din & reg(3 downto 1);
```

בשורה הבאה:

```
reg <= reg(2 downto 0) & din;
```

האם שינוי זה ישפיע על פלט התוכנית? אם לא – הסבירו מדוע. אם כן – ציינו מה תבצע המערכת הספרתית כעת.

## שאלה 8

להלן תוכנית בשפת VHDL, המתארת מערכת ספרתית.

```
1.  LIBRARY ieee;
2.  USE ieee.std_logic_1164.ALL;
3.  ENTITY fsm IS
4.  PORT (clock, Nrst, X : IN STD_LOGIC;
5.         Y : OUT STD_LOGIC );
6.  END ENTITY fsm;
7.  ARCHITECTURE arc_fsm OF fsm IS
8.  TYPE state_type IS ( start, s0, s1, s2, s3);
9.  SIGNAL current_state, next_state : state_type;
10. BEGIN
11.   U1: PROCESS (clock, Nrst )
12.   BEGIN
13.       IF Nrst = '0' THEN
14.           current_state <= start;
15.       ELSIF clock'EVENT AND clock='1' THEN
16.           current_state <= next_state;
17.       END IF;
18.   END PROCESS  U1;
19.   U2: PROCESS ( current_state, X )
20.   BEGIN
21.       CASE current_state IS
22.           WHEN start =>
23.               IF X='0' THEN next_state <= s0;
24.               ELSE next_state <= s3;
25.               END IF;
26.           WHEN s0 =>
27.               IF X='0' THEN next_state <= s1;
28.               ELSE next_state <= s3;
29.               END IF;
30.           WHEN s1 =>
31.               IF X='0' THEN next_state <= s2;
32.               ELSE next_state <= s3;
```

```

33.          END IF;
34.          WHEN s2 =>
35.              next_state <= s3;
36.          WHEN s3 =>
37.              IF X='1' THEN    next_state <= s3;
38.              ELSE next_state <= s1;
39.              END IF;
40.          END CASE;
41.      END PROCESS;
42.
43.  U3: PROCESS (current_state)
44.      BEGIN
45.          CASE current_state IS
46.              WHEN s3 => Y<='1';
47.              WHEN others => Y<='0';
48.          END CASE;
49.      END PROCESS;
50. END arc_fsm;

```

- א. (6 נק') הסבירו את ההוראות שבשורות 8, 11, 15.
- ב. (6 נק') הסבירו מה מבצע קטע התוכנית שבשורות 43-49.
- ג. (6 נק') סרטטו את דיאגרמת המצבים של המערכת באמצעות תרשים בועות או הציגו בטבלה.
- ד. (7 נק') העתיקו את טבלת המצבים הבאה למחברת הבחינה, והשלימו בה את החסר על פי פעולת המערכת המתוארת בתוכנית.

| Nrst | clock | X | current_state | Y |
|------|-------|---|---------------|---|
| 0    | ↑     | 1 |               |   |
| 1    | ↑     | 1 |               |   |
| 1    | ↑     | 0 |               |   |
| 1    | ↑     | 1 |               |   |
| 1    | ↑     | 0 |               |   |
| 1    | ↑     | 0 |               |   |
| 1    | ↑     | 1 |               |   |
| 1    | ↑     | 1 |               |   |

**בהצלחה!**

נוסחאון במעגלים אלקטרוניים  
לכיתה י"ד  
(13 עמודים)

אינטגרל של פונקציות בסיסיות (A קבוע)

$$\int A \cdot dt = A \cdot t + c$$
$$\int A \cdot \sin(\omega t) dt = -A \frac{\cos(\omega t)}{\omega} + c$$
$$\int A \cdot \cos(\omega t) dt = A \frac{\sin(\omega t)}{\omega} + c$$

נגזרת של פונקציות בסיסיות (A קבוע)

$$y(t) = A \rightarrow \frac{dy(t)}{dt} = 0 \quad y(t) = A \cdot \sin(\omega t) \rightarrow \frac{dy(t)}{dt} = A \cdot \omega \cdot \cos(\omega t)$$
$$y(t) = A \cdot t \rightarrow \frac{dy(t)}{dt} = A \quad y(t) = A \cdot \cos(\omega t) \rightarrow \frac{dy(t)}{dt} = -A \cdot \omega \cdot \sin(\omega t)$$

טרנזיסטור דו־נושאי (בתחום הפעיל)

זרם קולט -  $I_C$  [A]  
זרם פולט -  $I_E$  [A]  
זרם בסיס -  $I_B$  [A]

$$I_C = \beta I_B$$

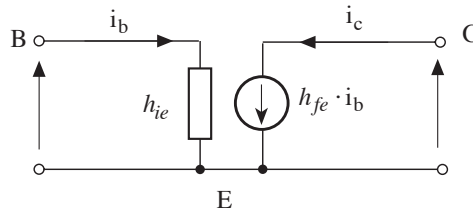
$$I_E = (\beta + 1) I_B$$

$$I_E = I_C + I_B$$

$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}$$

$$\beta = \frac{\alpha}{1 - \alpha}$$

### תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



### תחום הרוויה בטרנזיסטור דו-נושאי

|                          |   |                    |
|--------------------------|---|--------------------|
| מתח רוויה בין קולט לפולט | - | $V_{CE_{sat}}$ [V] |
| זרם בסיס                 | - | $I_B$ [A]          |
| זרם קולט                 | - | $I_C$ [A]          |
| הגבר זרם                 | - | $\beta$            |

$$\begin{aligned} V_{CE} &= V_{CE_S} \\ \beta \cdot I_B &> I_C \end{aligned}$$

### סף רוויה של התחום הפעיל בטרנזיסטור דו-נושאי

$$\begin{aligned} V_{CE} &= V_{CE_S} \\ \beta \cdot I_B &= I_C \end{aligned}$$

תנאי לרוויה:  $|V_{GS}| < |V_P|$ ,  $V_{DS} > |V_{GS} - V_P|$

טרנזיסטור FET (אזור הרוויה)

|                             |   |               |
|-----------------------------|---|---------------|
| זרם אפיק                    | - | $I_D$ [A]     |
| המתח בין השער למקור         | - | $V_{GS}$ [V]  |
| מתח צביטה                   | - | $V_P$ [V]     |
| זרם האפיק עבור $V_{GS} = 0$ | - | $I_{DSS}$ [A] |

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

$$g_m = \frac{2I_{DSS}}{|V_P|} \left( 1 - \frac{V_{GS}}{V_P} \right)$$

מוליכות הדדית -  $g_m$  [S]

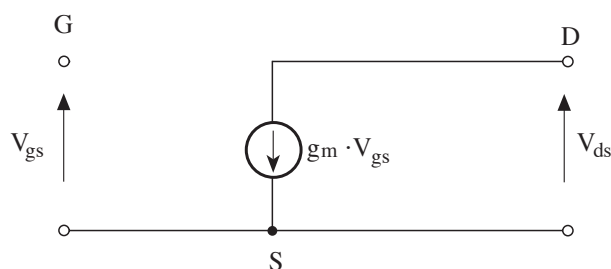
מוליכות הדדית עבור  $V_{GS} = 0$  -  $g_{m0}$  [S]

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

תחום התנגדות:  $|V_{GS}| < |V_P|$ ,  $V_{DS} < |V_{GS} - V_P|$

תחום קטעון:  $|V_{GS}| < |V_P|$ ,  $I_D = 0$   
 $r_d = \infty$

### תרשים תמורה מקורב של FET



### טרנזיסטור MOSFET (אזור הרוויה)

טרנזיסטור מסוג N בעל תעלה מסוג N

תנאים לרוויה:  $V_{GS} - V_T > 0$  מתח הסף  $V_T [V]$

$V_{DS} > |V_{GS} - V_T| > 0$  מקדם  $K = \left[ \frac{mA}{V^2} \right]$

הזרם:  $I_D = K (V_{GS} - V_T)^2$

### טרנזיסטור MOSFET באזור האוהמי

תנאים לאוהמי:  $V_{DS} < |V_{GS} - V_T|$

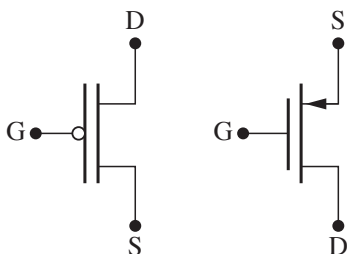
$V_{GS} - V_T > 0$

הזרם:  $I_D = K \left[ 2 (V_{GS} - V_T) V_{DS} - V_{DS}^2 \right]$

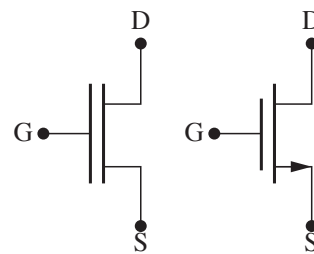
תחום קטעון:  $|V_{GS}| < |V_T|, I_D = 0$

### סימול:

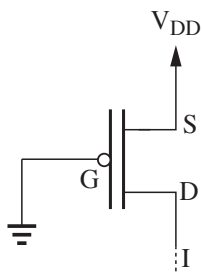
P – channel



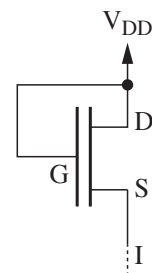
N – channel



P – channel כנגד מושך מעלה

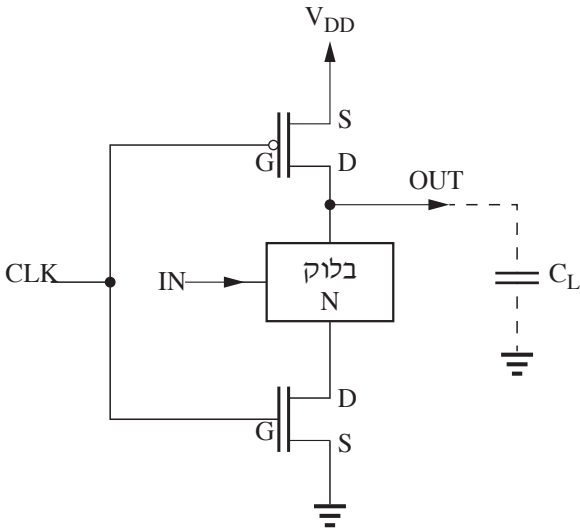


N – channel כנגד מושך מעלה

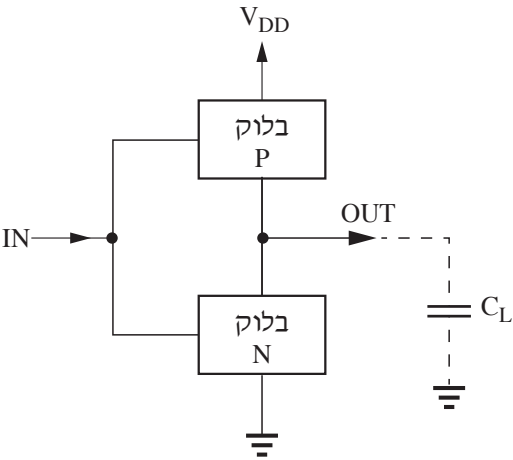


הערה: מעגל התמורה לאות חילופין של MOSFET זהה לזה של J-FET.

שער CMOS דינמי

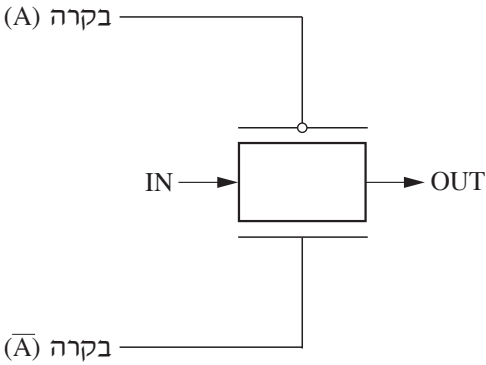


שער CMOS סטטי

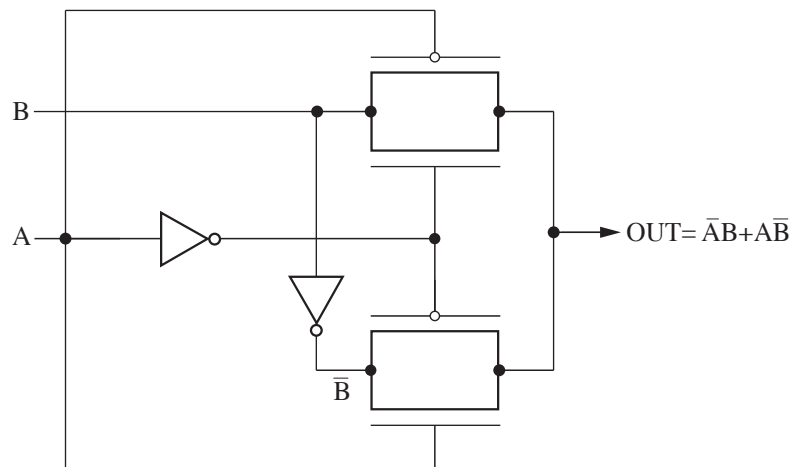


שערי תמסורת:  
סימול:

אם  $A = 0$   $\leftarrow$   $OUT = IN$   
אם  $A = 1$   $\leftarrow$   $OUT$  ללא שינוי



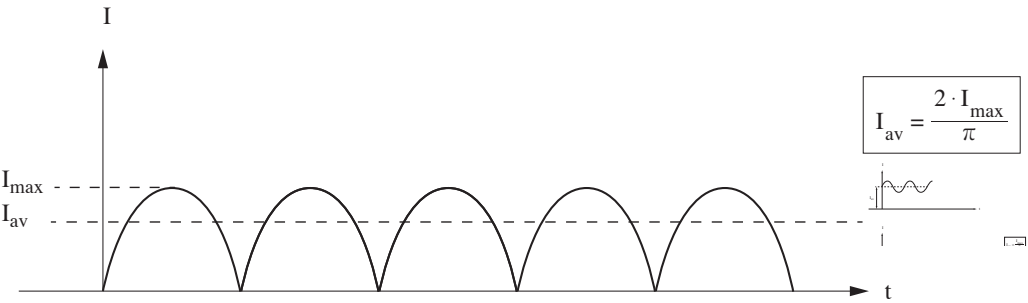
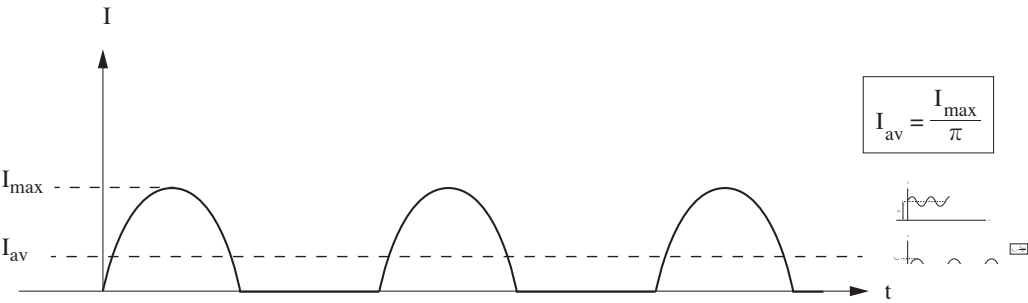
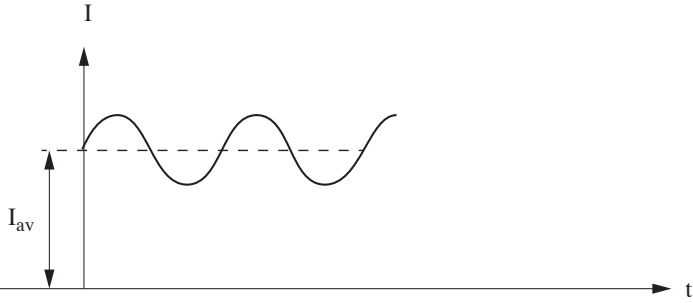
שער XOR באמצעות שערי תמסורת:



מגברי הספק

מאזן הספקים

|                                         |   |               |     |                                                                                                 |
|-----------------------------------------|---|---------------|-----|-------------------------------------------------------------------------------------------------|
| הספק מבוא                               | - | $P_{in}$      | [W] | $P_{in} + P_{CC} = P_L + P_{diss}$                                                              |
| הספק נצרך מספק הכוח                     | - | $P_{CC}$      | [W] |                                                                                                 |
| הספק העומס                              | - | $P_L$         | [W] | $P_{LAC} = V_{L_{eff}} \cdot I_{L_{eff}} = \frac{V_{L_{eff}}^2}{R_L} = I_{L_{eff}}^2 \cdot R_L$ |
| הספק מבוזבז                             | - | $P_{diss}$    | [W] |                                                                                                 |
| הספק המתפתח על העומס הנובע מאות חילופין | - | $P_{LAC}$     | [W] | $V_{L_{eff}} = \frac{V_{L_{max}}}{\sqrt{2}}$                                                    |
| המתח היעיל על העומס                     | - | $V_{L_{eff}}$ | [V] |                                                                                                 |
| הזרם היעיל על העומס                     | - | $I_{L_{eff}}$ | [A] | $I_{L_{eff}} = \frac{I_{L_{max}}}{\sqrt{2}}$                                                    |
| נגד העומס                               | - | $R_L$         | [Ω] |                                                                                                 |
| המתח הסינוסי המרבי על העומס             | - | $V_{L_{max}}$ | [V] | $P_{CC} = V_{CC} \cdot I_{av}$                                                                  |
| הזרם הסינוסי המרבי דרך העומס            | - | $I_{L_{max}}$ | [A] |                                                                                                 |
| הזרם הממוצע (DC) המסופק על-ידי ספק הכוח | - | $I_{av}$      | [A] |                                                                                                 |





### מגברי הפרש

|           |   |       |     |                                                            |
|-----------|---|-------|-----|------------------------------------------------------------|
|           |   |       |     | $V_o = A_1 \cdot V_1 + A_2 \cdot V_2$                      |
| מתח מבוא  | - | $V_1$ | [V] | $A_1 = \frac{V_o}{V_1} \Big _{V_2 = 0}$                    |
| מתח מבוא  | - | $V_2$ | [V] | $A_2 = \frac{V_o}{V_2} \Big _{V_1 = 0}$                    |
| מתח הפרשי | - | $V_d$ | [V] | $V_d = V_1 - V_2$                                          |
| מתח משותף | - | $V_c$ | [V] | $V_c = \frac{V_1 + V_2}{2}$                                |
|           |   |       |     | $A_d = \frac{V_o}{V_d} \Big _{V_c = 0} = \frac{V_o}{2V_i}$ |
|           |   |       |     | $A_c = \frac{V_o}{V_c} \Big _{V_d = 0} = \frac{V_o}{V_i}$  |
|           |   |       |     | $A_d = \frac{A_1 - A_2}{2}$                                |
|           |   |       |     | $A_c = A_1 + A_2$                                          |
|           |   |       |     | $CMRR = \left  \frac{A_d}{A_c} \right $                    |
|           |   |       |     | $V_o = A_d \cdot V_d + A_c \cdot V_c$                      |

## ממירים ממותגים

### א. משוואות מתח-זרם של סליל

|                     |   |                  |
|---------------------|---|------------------|
| מתח רגעי על הסליל   | - | $v_L$ [V]        |
| זרם רגעי בסליל      | - | $i_L$ [A]        |
| זמן                 | - | $t$ [sec]        |
| השראות הסליל        | - | $L$ [H]          |
| מתח על הסליל        | - | $V_L$ [V]        |
| השינוי בזרם הסליל   | - | $\Delta I_L$ [A] |
| השינוי בזמן         | - | $\Delta T$ [sec] |
| זרם רגעי בקבל       | - | $i_C$ [A]        |
| מתח רגעי על הקבל    | - | $v_C$ [V]        |
| קיבול הקבל          | - | $C$ [F]          |
| זרם הקבל            | - | $I_C$ [A]        |
| השינוי במתח על הקבל | - | $\Delta V_C$ [V] |

(כאשר השינוי  
בזרם הסליל  
הוא לינארי)

$$v_L = L \frac{di_L}{dt}$$

$$V_L = L \frac{\Delta I_L}{\Delta T}$$

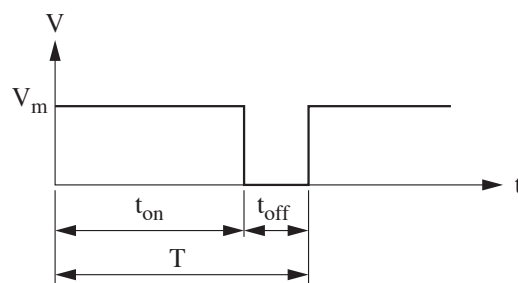
### ב. משוואות זרם-מתח של קבל

(כאשר השינוי  
במתח הקבל  
הוא לינארי)

$$i_C = C \frac{dv_C}{dt}$$

$$I_C = C \frac{\Delta V_C}{\Delta T}$$

### ג. מחזור פעולה



$$D = \frac{t_{on}}{t_{on} + t_{off}} = \frac{t_{on}}{T}$$

ד. ממיר (BUCK) STEP DOWN

|                           |   |                  |       |
|---------------------------|---|------------------|-------|
| מחזור הפעולה (Duty Cycle) | - | D                |       |
| זמן פעולה                 | - | t <sub>on</sub>  | [sec] |
| זמן פוגה                  | - | t <sub>off</sub> | [sec] |
| זמן מחזור                 | - | T                | [sec] |
| מתח מוצא                  | - | V <sub>o</sub>   | [V]   |
| מתח מבוא                  | - | V <sub>in</sub>  | [V]   |
| זרם מוצא                  | - | I <sub>o</sub>   | [A]   |
| זרם מבוא                  | - | I <sub>in</sub>  | [A]   |
| אדוות־המתח הדרושה         | - | ΔV <sub>o</sub>  | [V]   |
| הספק במוצא                | - | P <sub>o</sub>   | [W]   |
| הספק במבוא                | - | P <sub>in</sub>  | [W]   |
| נצילות                    | - | η                |       |

בממיר  
אידיאלי

$$\begin{aligned} V_o &= D \cdot V_{in} \\ I_o &= \frac{I_{in}}{D} \\ L &= \frac{(V_{in} - V_o)}{\Delta I_L} \cdot D \cdot T \\ C &= \frac{V_o}{\Delta V_o} \cdot \frac{T^2 (1 - D)}{8 L} \\ &\text{או} \\ \Delta V_o &= \frac{\Delta I_L}{8 \cdot f \cdot c} = \frac{V_{in} \cdot D \cdot (1 - D)}{8 \cdot L \cdot C \cdot f^2} \\ P_o &= \eta \cdot P_{in} \end{aligned}$$

ה. (BOOST) STEP UP

|                           |   |              |       |
|---------------------------|---|--------------|-------|
| מחזור הפעולה (Duty Cycle) | - | D            |       |
| זמן פעולה                 | - | $t_{on}$     | [sec] |
| זמן פוגה                  | - | $t_{off}$    | [sec] |
| זמן מחזור                 | - | T            | [sec] |
| מתח מוצא                  | - | $V_o$        | [V]   |
| מתח מבוא                  | - | $V_{in}$     | [V]   |
| זרם מוצא                  | - | $I_o$        | [A]   |
| זרם מבוא                  | - | $I_{in}$     | [A]   |
| קיבול הקבל                | - | C            | [F]   |
| אדוות המתח הדרושה         | - | $\Delta V_o$ | [V]   |
| השראות הסליל              | - | L            | [H]   |
| השינוי בזרם הסליל         | - | $\Delta I_L$ | [A]   |
| הספק במוצא                | - | $P_o$        | [W]   |
| הספק במבוא                | - | $P_{in}$     | [W]   |
| נצילות                    | - | $\eta$       |       |

**בממיר אידיאלי**

$$V_o = \frac{V_{in}}{1-D}$$

$$I_o = (1-D) \cdot I_{in}$$

$$C = \frac{I_o}{\Delta V_o} \cdot D \cdot T$$

$$L = \frac{V_{in}}{\Delta I_L} \cdot D \cdot T$$

$$P_o = \eta \cdot P_{in}$$

מתנדים סינכרואידיאליים לתדר נמוך

קריטריון ברקהאוזן לקיום תנודות:

1. תנאי התנודה:  $|\beta \cdot A| \geq 1$  - הגבר בחוג פתוח
2. תנאי המופע:  $\beta \cdot A = 0 + 360^\circ \cdot k$  - מקדם המשוב

מתנד גשר ווין

|                                           |   |       |              |
|-------------------------------------------|---|-------|--------------|
| תדר התנודות                               | - | f     | [Hz]         |
| ערכו של כל אחד מהנגדים ברשת המשוב $\beta$ | - | R     | [ $\Omega$ ] |
| ערכו של כל אחד מהקבלים ברשת המשוב $\beta$ | - | C     | [F]          |
| נגד המשוב ברשת המשוב השלילי               | - | $R_f$ | [ $\Omega$ ] |
| נגד ברשת המשוב השלילי                     | - | $R_1$ | [ $\Omega$ ] |

$$f = \frac{1}{2\pi RC}$$

$$\frac{R_f}{R_1} \geq 2$$

### תדר התנודות ברשת משוב LC

$$f = \frac{1}{2\pi\sqrt{LC}}$$

L [H] - השראות

C [F] - קיבול

### מגבר משוב שלילי

$$A_f = \frac{A}{1 + A\beta}$$

A<sub>f</sub> - הגבר בחוג סגור

A - הגבר בחוג פתוח

β - רשת המשוב

### משוואות הדפקים היסודית

$$v(t) = V_{\infty} - (V_{\infty} - V_{0+}) \cdot e^{-\frac{t}{\tau}}$$

v(t) [V] - מתח מוצא בזמן t

V<sub>∞</sub> [V] - מתח סופי (עבור t → ∞) במצב המתמיד

V<sub>0+</sub> [V] - מתח התחלתי

t [sec] - זמן

τ [sec] - קבוע הזמן

i(t) [A] - זרם מוצא בזמן t

I<sub>∞</sub> [A] - זרם סופי (עבור t → ∞) במצב המתמיד

I<sub>0+</sub> [A] - זרם התחלתי

R<sub>eq</sub> [Ω] - התנגדות שקולה ש"רואה"

הרכיב ההיגבי, מחושבת לפי תבנית

$$i(t) = I_{\infty} - (I_{\infty} - I_{0+}) e^{-\frac{t}{\tau}}$$

$$\tau = R_{eq} \cdot C$$

$$\tau = \frac{L}{R_{eq}}$$

$$t = \tau \cdot \ln \frac{V_{\infty} - V_{0+}}{V_{\infty} - V(t)} = \tau \cdot \ln \frac{I_{\infty} - I_{0+}}{I_{\infty} - I(t)}$$

### טעינה לינארית

טעינת קבל בזרם קבוע:

$$V_C = \frac{I_C}{C} \cdot t + V_C(0)$$

$$\Delta V_C = \frac{I_C}{C} \cdot \Delta t$$

V<sub>C</sub> [V] - מתח הקבל

I<sub>C</sub> [A] - זרם הקבל

C [F] - קיבול

t [sec] - זמן

I<sub>L</sub> [A] - זרם הסליל

V<sub>L</sub> [V] - מתח הסליל

L [H] - השראות

טעינת סליל במתח קבוע:

$$I_L = \frac{V_L}{L} \cdot t + I_L(0)$$

$$\Delta I_L = \frac{V_L}{L} \cdot \Delta t$$

טבלאות מצבים של דלגלים  
א. טבלת המצבים של JKFF

| CLK                                                                               | J | K | Q                                   |
|-----------------------------------------------------------------------------------|---|---|-------------------------------------|
| 1, 0                                                                              | ∅ | ∅ | N.C                                 |
|  | 0 | 0 | N.C                                 |
|  | 0 | 1 | 0                                   |
|  | 1 | 0 | 1                                   |
|  | 1 | 1 | $\overline{Q}_{n-1}$<br>(שינוי מצב) |

ב. טבלת המצבים של SRFF (סינכרוני)

| CLK                                                                                 | S | R | Q        |
|-------------------------------------------------------------------------------------|---|---|----------|
| 0, 1                                                                                | ∅ | ∅ | N.C      |
|  | 0 | 0 | N.C      |
|  | 0 | 1 | 0        |
|  | 1 | 0 | 1        |
|  | 1 | 1 | מצב אסור |

ג. טבלת המצבים של TFF

| CLK          | T           | $Q_n$                               |
|--------------|-------------|-------------------------------------|
| 0 , 1        | $\emptyset$ | N.C                                 |
| $\downarrow$ | 0           | N.C                                 |
| $\downarrow$ | 1           | $\overline{Q}_{n-1}$<br>(שינוי מצב) |

ד. טבלת המצבים של DFF

| CLK          | D           | Q   |
|--------------|-------------|-----|
| 1 , 0        | $\emptyset$ | N.C |
| $\downarrow$ | 0           | 0   |
| $\downarrow$ | 1           | 1   |

ה. טבלת עירור

| PS |   | NS | JKFF   |        | SRFF   |        | TFF | DFF |
|----|---|----|--------|--------|--------|--------|-----|-----|
| q  | → | Q  | J      | K      | S      | R      | T   | D   |
| 0  | → | 0  | 0      | $\phi$ | 0      | $\phi$ | 0   | 0   |
| 0  | → | 1  | 1      | $\phi$ | 1      | 0      | 1   | 1   |
| 1  | → | 0  | $\phi$ | 1      | 0      | 1      | 1   | 0   |
| 1  | → | 1  | $\phi$ | 0      | $\phi$ | 0      | 0   | 1   |

אין להעביר את הנוסחאון  
לנבחן אחר

## נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(11 עמודים)

| בלוקים עיקריים בשפה                                                                                                                                                                                                                                                                                                                                                                                                            |                            |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------|
| <b>ENTITY</b> __entity_name <b>IS</b><br><br><b>GENERIC</b> (parameter_name : string := default_value;<br>parameter_name : integer := default_value);<br><br><b>PORT</b> (<br>input_name : <b>IN</b> <b>STD_LOGIC</b> ;<br>input_vector_name : <b>IN</b> <b>BIT_VECTOR</b> (high downto low);<br>bidir_name : <b>INOUT</b> <b>STD_LOGIC</b> ;<br>output_name : <b>OUT</b> <b>STD_LOGIC</b> );<br><br><b>END</b> __entity_name; | מבנה כללי של<br>ישות תכנית |
| <b>ARCHITECTURE</b> a <b>OF</b> __entity_name <b>IS</b><br><br>הצהרה על משאבי התוכנית<br><br><b>BEGIN</b><br><br>-- Process Statement<br><br>-- Concurrent Procedure Call<br><br>-- Concurrent Signal Assignment<br><br>-- Conditional Signal Assignment<br><br>-- Selected Signal Assignment<br><br>-- Component Instantiation Statement<br><br>-- Generate Statement<br><br><b>END</b> a;                                    | מבנה כללי של<br>גוף תכנית  |

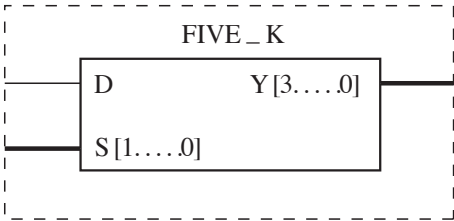
| בלוקים עיקריים בשפה                                                                                                                                                                                                                                                                                                                                                                                                          |                                                          |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------|
| <pre>__process_label: <b>PROCESS</b> (__signal_name, __signal_name)      <b>VARIABLE</b> __variable_name : <b>STD_LOGIC</b>;      <b>VARIABLE</b> __variable_name : <b>STD_LOGIC</b>;  <b>BEGIN</b>      -- Signal Assignment Statement      -- Variable Assignment Statement      -- Procedure Call Statement      -- If Statement      -- Case Statement      -- Loop Statement  <b>END PROCESS</b> __process_label;</pre> | מבנה כללי של<br>הליך טורי                                |
| שימוש במבניות בתכנון היררכי                                                                                                                                                                                                                                                                                                                                                                                                  |                                                          |
| <pre><b>COMPONENT</b> __component_name      <b>GENERIC</b> (__parameter_name : string := __default_value;               __parameter_name : integer := __default_value );      <b>PORT</b> (          input_name, input_name : <b>IN</b> <b>STD_LOGIC</b>;          bidir_name, bidir_name : <b>INOUT</b> <b>STD_LOGIC</b>;          output_name, output_name : <b>OUT</b> <b>STD_LOGIC</b>);  <b>END COMPONENT</b>;</pre>    | הצהרה על<br>מבנית שבשימוש<br>בתכנית האב                  |
| <pre>__instance_name: __component_name      <b>GENERIC MAP</b> ( parameter_name =&gt; parameter_value,                   parameter_name =&gt; parameter_value )      <b>PORT MAP</b>      ( component_port =&gt; connect_port,                     component_port =&gt; connect_port );</pre>                                                                                                                                | שימוש במבנית<br>בתכנון היררכי                            |
| <pre>__generate_label:  <b>FOR</b> __index_variable <b>IN</b> __range <b>GENERATE</b>      __statement;      __statement;  <b>END GENERATE</b> __generate_label;</pre>                                                                                                                                                                                                                                                       | שרשור מבניות<br><br><b>GENERATE</b><br><b>FOR</b> בלולאת |

| שימוש במבניות בתכנון היררכי                                                                                                                                                            |                                                             |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------|
| <div>__generate_label:</div> <div><b>IF</b> __expression <b>GENERATE</b></div> <div>__statement;</div> <div>__statement;</div> <div><b>END GENERATE</b> __generate_label;</div>        | <div>שרשור מותנה <b>IF</b></div> <div><b>GENERATE</b></div> |
| לולאות LOOPS                                                                                                                                                                           |                                                             |
| <div>__loop_label:</div> <div><b>FOR</b> __index_variable <b>IN</b> __range <b>LOOP</b></div> <div>__statement;</div> <div>__statement;</div> <div><b>END LOOP</b> __loop_label;</div> | <div>לולאת <b>FOR</b></div>                                 |
| <div>__loop_label:</div> <div><b>WHILE</b> __boolean_expression <b>LOOP</b></div> <div>__statement;</div> <div>__statement;</div> <div><b>END LOOP</b> __loop_label;</div>             | <div>לולאת <b>WHILE</b></div>                               |

| התניות בגוף התכנית – מחוץ ל-PROCESS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                   |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------|
| <p>__signal &lt;= __expression <b>WHEN</b> __boolean_expression <b>ELSE</b></p> <p>    __expression <b>WHEN</b> __boolean_expression <b>ELSE</b></p> <p>    __expression _____ ;</p> <p><b>דוגמה 1 :</b> מימוש שער AND באמצעות פקודת "WHEN" פשוטה.</p> <p>Y &lt;= '1' when (a = '1') and (b = '1') else '0' ;</p> <p><b>דוגמה 2 :</b> מימוש שער AND באמצעות פקודת "WHEN" המשכית.</p> <p>Y &lt;= '0' when (a = '0') and (b = '0') else</p> <p>    '0' when (a = '0') and (b = '1') else</p> <p>    '0' when (a = '1') and (b = '0') else</p> <p>    '1' ;</p>                                                                                                                        | <p><b>התנית</b></p> <p><b>When ... Else</b></p>   |
| <p><b>WITH</b> __ expression <b>SELECT</b></p> <p>    __signal &lt;= __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> others;</p> <p>    _____</p> <p><b>דוגמה:</b> מימוש שער AND באמצעות פקודת התניה WITH .. SELECT</p> <p>Signal ab : bit_vector (1 downto 0);</p> <p>Begin</p> <p>ab &lt;= a &amp; b;</p> <p>with ab select</p> <p>    y &lt;= '0' when "00" ,</p> <p>        '0' when "01" ,</p> <p>        '0' when "10",</p> <p>        '1' when others ;</p> | <p><b>התנית</b></p> <p><b>With ... Select</b></p> |

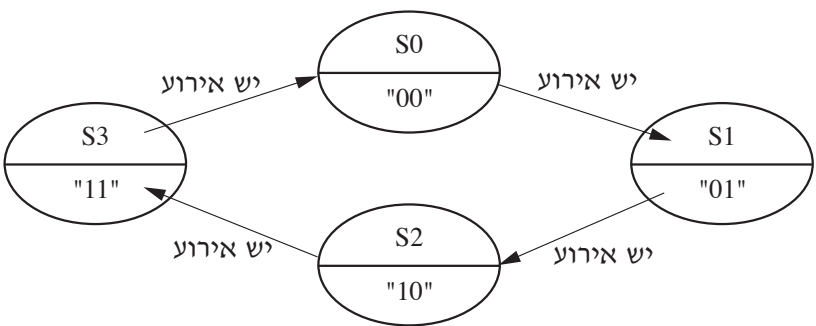
| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                             |                                                      |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------|
| <p><b>IF</b>     __boolean_expression <b>THEN</b></p> <p>    __signal &lt;= __ expression;</p> <p><b>ELSIF</b> __boolean_expression <b>THEN</b></p> <p>    __signal &lt;= __expression;</p> <p><b>ELSE</b></p> <p>    __signal &lt;= __expression;</p> <p><b>END IF;</b></p> | <p><b>התנית</b></p> <p><b>If .. Then .. Else</b></p> |

| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                             |    |                             |    |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------|----|-----------------------------|----|--|--|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| <div>CASE __expression IS</div> <div><div>WHEN __constant_value =&gt;</div><div>__statement;</div><div>__statement;</div></div> <div><div>WHEN __constant_value =&gt;</div><div>__statement;</div><div>__statement;</div></div> <div><div>WHEN OTHERS =&gt;</div><div>__statement;</div><div>__statement;</div></div> <div>END CASE;</div>         | <div>CASE התניית</div>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                             |    |                             |    |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| <div><div>דוגמה למימוש מפענח בהתניית CASE :</div><div>Process(s)</div><div>Begin</div><div>Case s is</div><div><div>When "00" =&gt; y &lt;= "0001" ;</div><div>When "01" =&gt; y &lt;= "0010" ;</div><div>When "10" =&gt; y &lt;= "0100" ;</div><div>When "11" =&gt; y &lt;= "1000" ;</div></div><div>End case;</div><div>End process;</div></div> | <div>התוכנית תבצע את טבלת האמת הבאה:</div> <table><tr><th colspan="2">S : BIT_VECTOR (1 DOWNT0 0)</th><th colspan="4">Y : BIT_VECTOR (3 DOWNT0 0)</th></tr><tr><th>S1</th><th>S0</th><th>Y3</th><th>Y2</th><th>Y1</th><th>Y0</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table> | S : BIT_VECTOR (1 DOWNT0 0) |    | Y : BIT_VECTOR (3 DOWNT0 0) |    |  |  | S1 | S0 | Y3 | Y2 | Y1 | Y0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| S : BIT_VECTOR (1 DOWNT0 0)                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | Y : BIT_VECTOR (3 DOWNT0 0) |    |                             |    |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| S1                                                                                                                                                                                                                                                                                                                                                 | S0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | Y3                          | Y2 | Y1                          | Y0 |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                                                                                                                                                                                                                                                                                                                                                  | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 0                           | 0  | 0                           | 1  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                                                                                                                                                                                                                                                                                                                                                  | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 0                           | 0  | 1                           | 0  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                                                                                                                                                                                                                                                                                                                                                  | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 0                           | 1  | 0                           | 0  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                                                                                                                                                                                                                                                                                                                                                  | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 1                           | 0  | 0                           | 0  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |                                                                                    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------|------------------------------------------------------------------------------------|
| <pre>library ieee;<br/>use ieee.std_logic_1164.all;<br/>entity DEMUX is<br/>port (d : in bit;</pre>                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |  | <p>דוגמה לתכנית<br/>שלמה המבצעת<br/>פעולת מפלג, תוך<br/>שימוש בהתניית<br/>CASE</p> |
| <pre>    s : in bit_vector (1 downto 0);<br/>    y : out bit_vector (3 downto 0);<br/>end;<br/>architecture behave of DEMUX is<br/>begin<br/>    process (s)<br/>    begin<br/>        case s is<br/>            when "00" =&gt; y &lt;= '0' &amp; '0' &amp; '0' &amp; d;<br/>            when "01" =&gt; y &lt;= '0' &amp; '0' &amp; d &amp; '0';<br/>            when "10" =&gt; y &lt;= '0' &amp; d &amp; '0' &amp; '0';<br/>            when "11" =&gt; y &lt;= d &amp; '0' &amp; '0' &amp; '0';<br/>        end case;<br/>    end process;<br/>end behave;</pre> |                                                                                    |                                                                                    |
| <pre>        wait;<br/>wait on    רשימת משתנים ;<br/>        wait until תנאי לוגי ;<br/>        wait for מספר יחידות זמן ;</pre>                                                                                                                                                                                                                                                                                                                                                                                                                                      | <p>עצירה לעד אשר שימושית לעצירת סביבת בדיקה</p>                                    | <p>פקודת השהיה<br/>WAIT</p>                                                        |

| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                                                                                                               |                                 |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------|
| <pre>Library ieee; Use ieee.std_logic_1164.all;  Entity DFF1 is     Port ( e, d : in std_logic;           Q  : inout std_logic;           Nq : out std_logic ); End DFF1;  Architecture behave of DFF1 is Begin     Process     Begin         Wait until e'event and e = '1' ;          Q &lt;= d;         Nq &lt;= not d;      End process; End behave;</pre> | <div>דוגמה למימוש<br/>DFF</div> |
| <div>התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית.</div> <div></div>                                                                                                                                                                                                                                                                                      |                                 |

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |     |          |   |                                         |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|----------|---|-----------------------------------------|-----|--------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|----------|---|---------------|---|---|------|---|---|---|---|------|---|---|----------------------------------------------|
| <div>Process (enable)<br/>Begin<br/>    If        pre = '1'  then      q &lt;= '1' ;<br/>    Elsif    clr = '1'  then      q &lt;= '0' ;<br/>    Elsif    enable 'event and enable = '1'  then      q &lt;= d;<br/>End process;</div> <div>ההליך בדוגמא יבצע את הפעולות המתוארות בטבלת האמת הבאה:</div> <table><tr><th>PRE</th><th>CLR</th><th>ENABLE</th><th>D</th><th>Q</th></tr><tr><td>1</td><td>0</td><td>F</td><td>F</td><td>1</td></tr><tr><td>0</td><td>1</td><td>F</td><td>F</td><td>0</td></tr><tr><td>0</td><td>0</td><td>אין עליה</td><td>F</td><td>נשמר מצב קודם</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>1</td><td>1</td></tr></table> |     |          |   | PRE                                     | CLR | ENABLE | D | Q | 1 | 0 | F | F | 1 | 0 | 1 | F | F | 0 | 0 | 0 | אין עליה | F | נשמר מצב קודם | 0 | 0 | עליה | 0 | 0 | 0 | 0 | עליה | 1 | 1 | <div>דוגמה למימוש DFF עם מבוואת ישירים</div> |
| PRE                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | CLR | ENABLE   | D | Q                                       |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 0   | F        | F | 1                                       |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 1   | F        | F | 0                                       |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 0   | אין עליה | F | נשמר מצב קודם                           |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 0   | עליה     | 0 | 0                                       |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 0   | עליה     | 1 | 1                                       |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |
| <div>architecture EXAMPLE1 of ARRAY is<br/><br/>    type INTEGER_VECTOR is array (1 to 8) of integer;<br/>    -- 1 --<br/>    type MATRIX_A is array (1 to 3) of INTEGER_VECTOR;<br/>    -- 2 --<br/>    type MATRIX_B is array (1 to 4 , 1 to 8) of integer;<br/><br/>    signal MATRIX_3x8 : MATRIX_A;<br/><br/>    signal MATRIX_4x8 : MATRIX_B;<br/><br/>begin<br/><br/>    MATRIX_3x8 (3) (5) &lt;= 10; -- מערך בתוך מערך<br/><br/>    MATRIX_4x8 (4 , 5) &lt;= 17; -- מערך דו־ממדי<br/><br/>end EXAMPLE1;</div>                                                                                                                                                                                                       |     |          |   | <div>דוגמאות ליצירה והצבה במערכים</div> |     |        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |          |   |               |   |   |      |   |   |   |   |      |   |   |                                              |

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                           |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------|
| <div><pre>graph TD; S0((S0<br/>"00")) -- "יש אירוע" --&gt; S1((S1<br/>"01")); S1 -- "יש אירוע" --&gt; S2((S2<br/>"10")); S2 -- "יש אירוע" --&gt; S3((S3<br/>"11")); S3 -- "יש אירוע" --&gt; S0;</pre></div> <div><pre>library ieee; use ieee.std_logic_1164.all; entity state_machine is port (clk      : in bit;       count_out : out bit_vector (1 downto 0)); end state_machine; architecture behave of state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type;  begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 =&gt; state &lt;= s1; when s1 =&gt; state &lt;= s2; when s2 =&gt; state &lt;= s3; when s3 =&gt; state &lt;= s0; end case; end if; end process counting; with state select count_out &lt;= "00" when s0,               "01" when s1,               "10" when s2,               "11" when s3; end behave;</pre></div> | <div>דוגמה לכתובת מונה במכונת מצבים</div> |

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                      |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|
| <pre>entity ADDER_FUNC is generic (max : integer := 15); port (     A , B : in integer range 0 to max;     SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is     function ADD (x , y : integer) return integer is         variable s : integer;     begin         s := x + y;         return s;     end function ADD; begin     sum &lt;= ADD (a , b); -- הקריאה לפונקציה end behave;</pre> | <p><b>דוגמה לתכנית<br/>המשתמשת<br/>בפונקציה<br/>המבצעת חיבור<br/>בין מספרים</b></p>  |
| <pre>library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (     A , B : in integer;     SUM : out integer); end; architecture behave of adder_proc is     procedure ADD (signal x , y : in integer;         signal s : out integer) is     begin         s &lt;= x + y;     end procedure ADD; begin     ADD (a , b , sum); end behave;</pre>                                                                | <p><b>דוגמה לתכנית<br/>המשתמשת<br/>בפרוצדורה<br/>המבצעת חיבור<br/>בין מספרים</b></p> |

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                     |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------|
| <div><b>PACKAGE</b> __package_name <b>IS</b><br/><br/>-- Type Declaration<br/>-- Subtype Declaration (FUNCTIONS , PROCEDURES)<br/>-- Constant Declaration<br/>-- Signal Declaration<br/>-- Component Declaration<br/><br/><b>END</b> __package_name;<br/><br/><b>package body</b> package_name <b>is</b><br/>    declarations<br/>    deferred constant declaration<br/>    subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות)<br/><b>end package body</b> package_name;</div> | <div>הגדרת<br/><b>PACKAGE</b></div> |

| Mode   | קריאה | כתיבה |
|--------|-------|-------|
| in     | כן    | לא    |
| out    | לא    | כן    |
| inout  | כן    | כן    |
| buffer | כן    | כן    |

נספח ג': מילון מונחים

לשאלון 711003, אביב תשפ"ו

| תרגום המונח          |                               |                              | המונח         |
|----------------------|-------------------------------|------------------------------|---------------|
| אנגלית               | רוסית                         | ערבית                        |               |
| input signal         | Входной сигнал                | إشارة مدخل                   | אות מבוא      |
| output signal        | Выходной сигнал               | إشارة مخرج                   | אות מוצא      |
| states diagram       | Диаграмма состояний           | مُخطَّط العلاقات             | דיאגרמת מצבים |
| states table         | Таблица состояний             | جدول الحالة                  | טבלת מצבים    |
| components           | Составляющие                  | عناصر                        | מבניות        |
| amplifier            | Усилитель                     | مُكَبِّر                     | מגבר          |
| switching converter  | Коммутируемый преобразователь | محوّل تبديل                  | ממיר ממותג    |
| alternative circuit  | Схема замещения               | الدائرة البديلة              | מעגל תמורה    |
| array                | Массив                        | مصفوفة                       | מערך          |
| output port          | Устройство вывода             | مفتاح الإخراج                | מפתח פלט      |
| oscillator           | Генератор колебаний           | مُذبذب                       | מתנד          |
| bias point           | Рабочая точка                 | نقطة الانحياز / نقطة التشغيل | נקודת העבודה  |
| logic value          | Логический сигнал             | قيمة منطقيّة                 | ערך לוגי      |
| output               | Выходные данные               | مخرج                         | פלט           |
| file                 | Файл                          | ملفّ                         | קובץ          |
| vibrations frequency | Частота колебаний             | تَرْدُد الذبذبات             | תדר התנודות   |