

סוג הבחינה: גמר לבתי-ספר לטכנאים ולהנדסאים

מועד הבחינה: אביב תשפ"א, 2021

סמל השאלון: 711003

נספחים: א. נוסחאון באלקטרוניקה

תקבילית ב' לכיתה י"ד

ב. נוסחאון בשפת תיאור חומרה

VHDL לכיתה י"ד

ג. מילון מונחים

אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

הוראות לנבחן

- א. משך הבחינה: ארבע שעות.
- ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שמונה שאלות.
יש להשיב על ארבע שאלות בלבד.
- ג. חומר עזר מותר לשימוש: מחשבון.
- ד. הוראות מיוחדות:
 1. ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר התשובות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
 2. התחל כל תשובה לשאלה חדשה בעמוד חדש.
 3. כתוב את כל תשובותיך אך ורק בעט.
 4. הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בבהירות.
 5. כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה שלהן.
 6. אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
 7. בכתובת פתרונות חישוביים, קבלת מִרְב הנקודות מותנית בהשלמת כל המהלכים שלהלן, בסדר שבו הם רשומים:
 - * כתיבת הנוסחה המתאימה.
 - * הצבה של כל הערכים ביחידות המתאימות.
 - * חישוב (אפשר באמצעות מחשבון).
 - * כתיבת התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
 - * ליווי הפתרון החישובי בהסבר קצר.
 8. לנוחותך, לשאלון זה מצורף מילון מונחים בשפות עברית, ערבית, אנגלית ורוסית. תוכל להיעזר בו בעת הצורך.

בשאלון זה 9 עמודים ו-25 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר,
אך מכוונות הן לנבחנות והן לנבחנים.

בהצלחה!

המשך מעבר לדף

השאלות

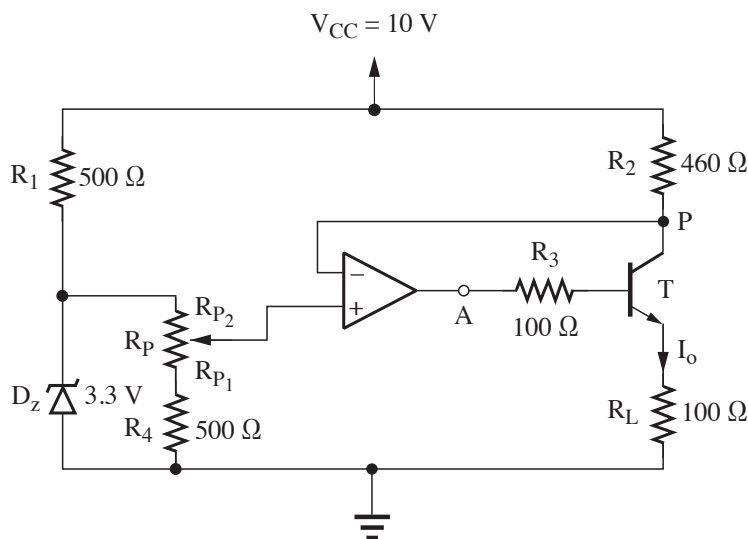
ענה על ארבע מבין השאלות 1-8. (לכל שאלה – 25 נקודות).

אלקטרוניקה תקבילית

שאלה 1

באיור לשאלה 1 נתון מעגל חשמלי המשמש כמקור זרם לעומס מוארק. המעגל כולל נגד משתנה, $R_p = 0 \div 1 \text{ k}\Omega$. מגבר השרת שבמעגל – אידיאלי.

נתוני הטרנזיסטור T הם: $V_{CE_{SAT}} = 0.2 \text{ V}$, $\beta = 50$, $V_{BE} = 0.7 \text{ V}$

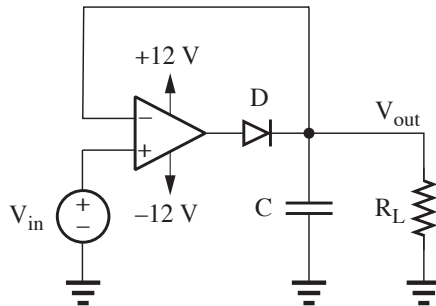


איור לשאלה 1

- א. (8 נק') חשב את ערכו המזערי ואת ערכו המרבי של המתח בנקודה P.
- ב. (6 נק') הנח שערכו של המתח בנקודה P הוא 2.64 V. חשב את ערכו של R_{p1} .
- ג. (6 נק') חשב את ערכו של הזרם I_o .
- ד. (5 נק') חשב את ערכו המרבי של נגד העומס, R_L , הנדרש לפעולה תקינה של המעגל.

שאלה 2

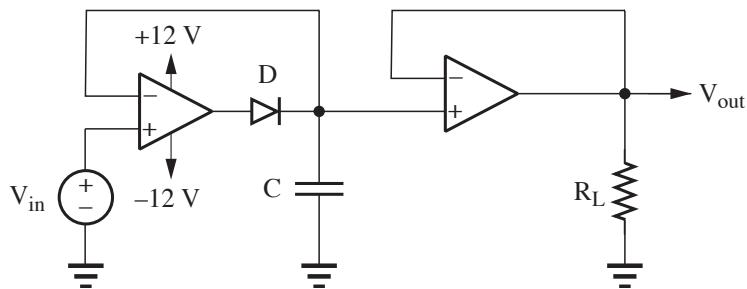
באיור א' לשאלה 2 נתון מעגל חשמלי. מגבר השרת והדיודה שבמעגל – אידיאליים. מתח ההזנה של המגבר הוא $\pm 12\text{ V}$.



איור א' לשאלה 2

א. (10 נק') ציין מהו ייעודו של המעגל הנתון, והסבר את עקרון פעולתו.

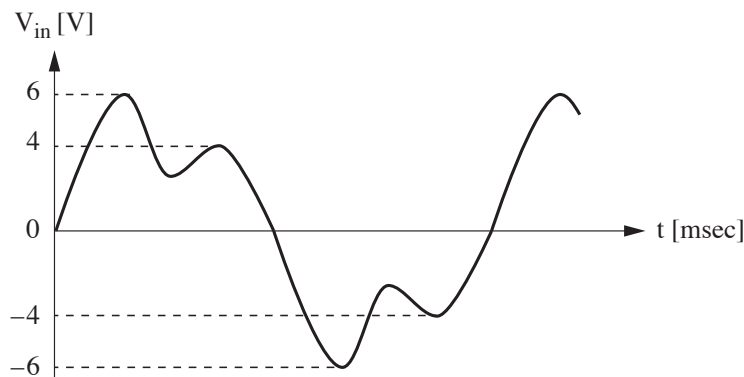
ב. (8 נק') הוסיפו למעגל המתואר באיור א' מגבר שרת נוסף, זהה למגבר השרת שבמעגל, כמתואר באיור ב' לשאלה.



איור ב' לשאלה 2

הסבר מהו היתרון שיש למעגל המוצג באיור ב' על-פני המעגל המוצג באיור א'.

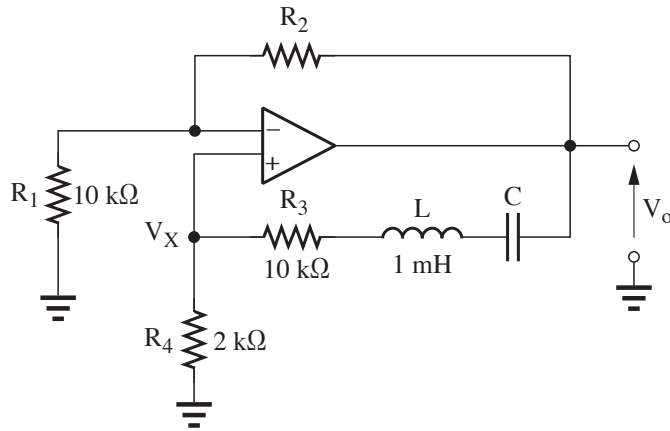
ג. (7 נק') באיור ג' לשאלה מתוארת צורת מתח המבוא, V_{in} , כפונקצייה של הזמן. העתק למחברתך את צורת מתח המבוא, V_{in} , וסרטט מתחתיה, בהתאמה, את צורת מתח המוצא, V_{out} , כפונקצייה של הזמן.



איור ג' לשאלה 2

שאלה 3

באיור לשאלה 3 נתון מעגל חשמלי המשמש כמתנד לאות סינוסואידלי. מגבר השרת שבמעגל – אידיאלי.



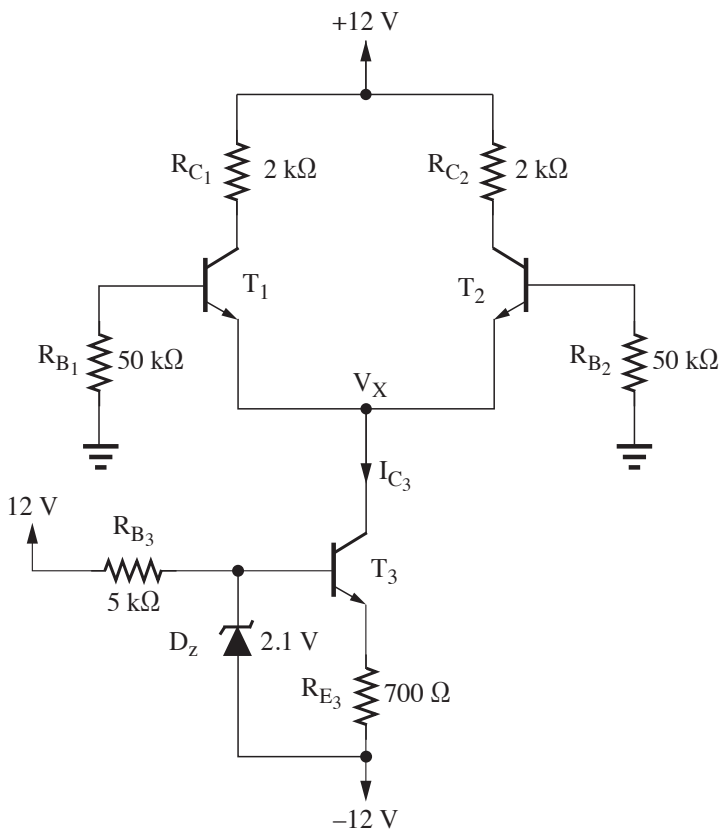
איור לשאלה 3

- א. (10 נק') כתוב ביטוי המתאר את הגבר המעגל בחוג פתוח $A = \frac{V_o}{V_x}$ וביטוי המתאר את מקדם המשוב $\beta = \frac{V_x}{V_o}$.
- ב. (8 נק') נתון כי תדר התנודות של המתנד הוא 23.215 kHz. חשב את הקיבול של הקבל C.
- ג. (7 נק') חשב את התנגדותו של הנגד R_2 הדרושה לקבלת תנודות במעגל.

שאלה 4

באיור לשאלה 4 נתון מעגל חשמלי הכולל שלושה טרנזיסטורים זהים, $T_3 - T_1$.

נתוני הטרנזיסטורים $T_3 - T_1$ הם: $V_{BE} = 0.7 \text{ V}$, $\beta = 100$.



איור לשאלה 4

- א. (6 נק') חשב את הזרם I_{C3} .
- ב. (5 נק') חשב את המתח V_X .
- ג. (10 נק') חשב את נקודת העבודה (I_C , V_{CE}) של הטרנזיסטורים T_1 ו- T_2 .
- ד. (4 נק') הסבר מהו תפקידה של דיודת הזנר שבמעגל.

שפת תיאור חומרה VHDL

שאלה 5

לפניך התוכנית Tar5 הכתובה בשפת VHDL, המממשת מערכת צירופים.

```

1. ENTITY Tar5 IS
2.     PORT (x,y,z :IN BIT;
3.           F      :OUT BIT);
4. END Tar5;
5. ARCHITECTURE behave OF Tar5 IS
6.     SIGNAL A,B,Nx,Ny:Bit;
7. BEGIN
8.     Nx <= NOT x;
9.     Ny <= NOT y;
10.    A <= Nx AND Ny;
11.    B <= x AND y;
12.    F <= A WHEN z = '1' ELSE
13.        B WHEN z = '0' ELSE
14.        '0';
15. END behave;
```

א. (6 נק') הסבר את ההוראה שבשורות 12-14.

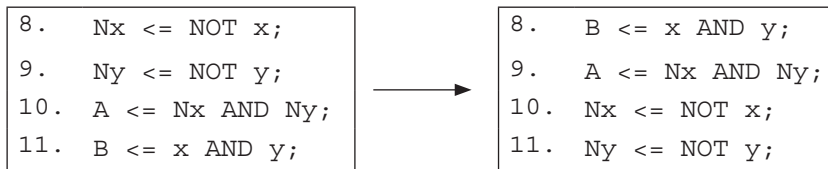
ב. (7 נק')

4 נק') 1. סרטט סמל למערכת Tar5, וציין בסרטוט את המבואות ואת המוצא של המערכת.

3 נק') 3. סרטט את הארכיטקטורה של המערכת, וציין בסרטוט את הסיגנלים הפנימיים.

ג. (6 נק') כתוב את הפונקצייה הבוליאנית של המערכת Tar5.

ד. (6 נק') שינו את סדר השורות 8-11 באופן הזה:



האם השינוי בסדר השורות יגרום לשינוי הפונקצייה הבוליאנית? נמק את תשובתך.

שאלה 6

כתוב תוכנית בשפת VHDL למימוש מקודד עדיפות $4 \rightarrow 2$ (Priority Encoder). מבואות המערכת, $D(3) - D(0)$, ומוצאי המערכת, $Y(1)$ ו- $Y(0)$, יוגדרו באמצעות `std_logic_vector`. פעולת המקודד מוגדרת בטבלה שלפניך. שים לב, x מציין don't care, המוצא V מציין אם יש "1" לוגי באחד המבואות.

D(3)	D(2)	D(1)	D(0)	Y(1)	Y(0)	V
0	0	0	0	x	x	0
0	0	0	1	0	0	1
0	0	1	x	0	1	1
0	1	x	x	1	0	1
1	x	x	x	1	1	1

שאלה 7

לפינך התוכנית Tar7 הכתובה בשפת VHDL.

```
1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  use IEEE.std_logic_unsigned.all;
4  entity Tar7 is
5      generic (W : integer :=6);
6      port( D_in : in std_logic_vector(W-1 downto 0);
7            C_inc: in std_logic;
8            D_out: out std_logic_vector(W-1 downto 0);
9            R_flag out std_logic);
10 end Tar7;
11 architecture behave of Tar7 is
12     signal D_sig :std_logic_vector(W-1 downto 0);
13     begin
14         process (D_in,C_inc)
15             begin
16                 if(C_inc='1')then
17                     D_sig <= D_in+'1';
18                 else
19                     D_sig <= D_in;
20                 end if;
21             end process;
22         D_out <= D_sig;
23         R_flag <= '1' when (C_inc = '1'and D_in="111111") else '0';
24     end behave;
```

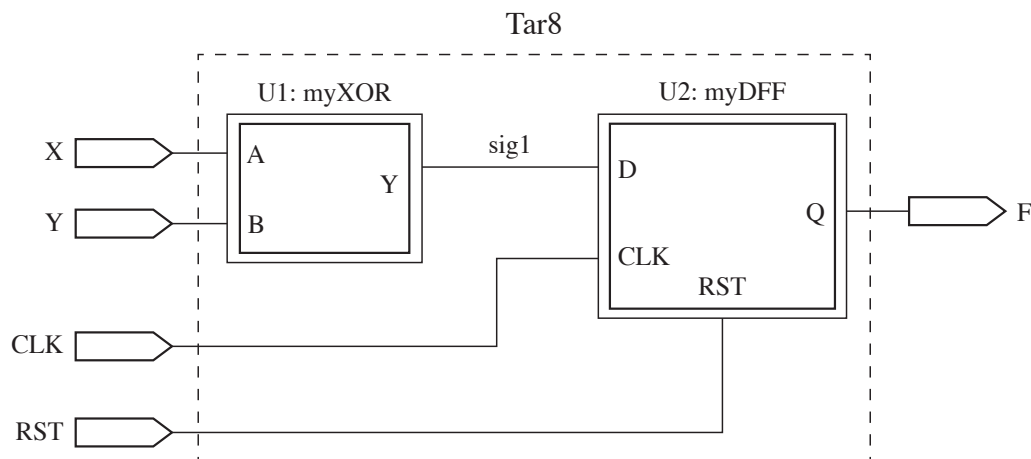
- (8 נק') א. הסבר את ההוראות שבשורות: 5, 8, 14, 22 .
- (4 נק') ב. הסבר את הפעולה המתבצעת בשורה 23 .
- (8 נק') ג. העתק למחברתך את טבלת המצבים שלהלן, והשלם בה את החסר על-פי פעולת המערכת המתוארת בתוכנית.

C_inc	D_in	D_out	R_flag
1	"101101"		
1	"000100"		
0	"000001"		
1	"111111"		

- (5 נק') ד. הסבר את פעולת המערכת המתוארת בתוכנית Tar7 .

שאלה 8

באיור לשאלה 8 מתואר המבנה הסכמתי של המערכת הספרתית Tar8 . המערכת כוללת שתי מכוניות: myDFF, myXOR .



איור לשאלה 8

א. (6 נק')

המבנית myXOR מממשת פעולת XOR. לפינך קוד של המבנית. העתק אותו למחברתך, והשלם בו את הארכיטקטורה של המבנית.

```
ENTITY myXOR IS
    PORT ( A,B :IN BIT;
           Y  :OUT BIT);
END myXOR;
ARCHITECTURE bv OF myXOR IS
    BEGIN
        _____;
END bv;
```

ב. (9 נק')

המבנית myDFF מממשת דלגלג מסוג D, שיכול לבצע פעולת איפוס (RESET) אסינכרונית. לפינך קטע קוד של המבנית. העתק אותו למחברתך, והשלם בו את הקוד בתוך ה-PROCESS.

```
ENTITY myDFF IS
    PORT ( D,CLK,RST :IN BIT;
           Q          :OUT BIT);
END myDFF;
ARCHITECTURE bv OF myDFF IS
    BEGIN
        PROCESS (CLK, RST)
        BEGIN
            _____
            _____
            _____
            _____
            _____
        END PROCESS;
END bv;
```

ג. (10 נק')

כתוב תוכנית (TOP LEVEL) בשפת VHDL למימוש המערכת Tar8, בהתאם לעקרונות התכנון ההיררכי (שימוש בפקודות COMPONENT ו-PORTR MAP).

בהצלחה!

אין להעביר את הנוסחאון
לנבחן אחר

נוסחאון באלקטרוניקה תקבילית ב' לכיתה י"ד (12 עמודים)

דיודת צומת

משוואת זרם-מתח של דיודה מעשית:

- I_D [A] זרם הדיודה
- I_S [A] זרם זליגה אחורי
- V_D [V] מתח הדיודה
- V_T [V] מתח התלוי בטמפרטורה

$$I_D = I_S \left(\frac{V_D}{e \eta V_T} - 1 \right)$$

$$\eta = \begin{cases} 1 & \text{גרמניום} \\ 2 & \text{סיליקון} \end{cases}$$

$$V_D = \eta V_T \ln \left(\frac{I_D}{I_S} + 1 \right)$$

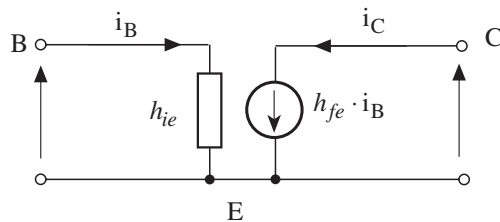
טרנזיסטור דו-נושאי (בתחום הפעיל)

- I_C [A] זרם קולט
- I_E [A] זרם פולט
- I_B [A] זרם בסיס

$$I_C = \beta I_B, I_E = (\beta + 1) I_B, I_E = I_C + I_B$$

$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}, \quad \beta = \frac{\alpha}{1 - \alpha}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



טרנזיסטור FET (אזור הרוויה)

- I_D [A] זרם אפיק
- V_{GS} [V] המתח בין השער למקור
- V_p [V] מתח צביטה
- I_{DSS} [A] זרם האפיק עבור $V_{gs} = 0$
- g_m [S] מוליכות הדדית

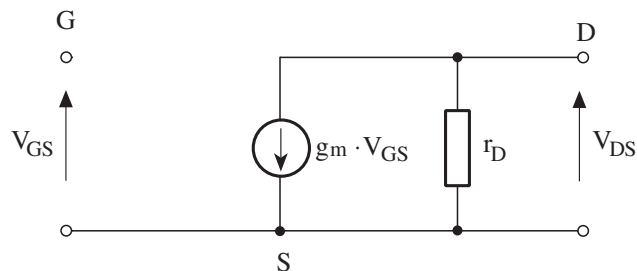
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$$

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{GS}}{V_p} \right)$$

- g_{m0} [S] מוליכות הדדית עבור $V_{GS} = 0$

$$g_{m0} = \frac{2I_{DSS}}{|V_p|}$$

תרשים תמורה מקורב של FET



טרנזיסטור MOSFET (אזור הרוויה)

עבור טרנזיסטור מסוג N-CHANNEL :

מתח צביטה $- V_T$ [V]

מקדם $- k \left[\frac{\text{mA}}{\text{V}^2} \right]$

$$I_D = k(V_{GS} - V_T)^2$$

תנאי הרוויה:

$$V_{GS} > V_T$$

$$V_{DS} > V_{GS} - V_T$$

הערה: מעגל התמורה לאות חילופין של טרנזיסטור MOSFET זהה לזה של טרנזיסטור FET .

מגברי הספק

מאזן הספקים

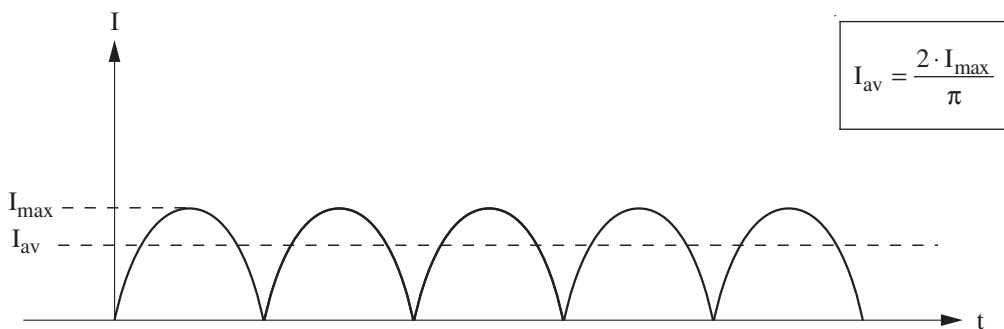
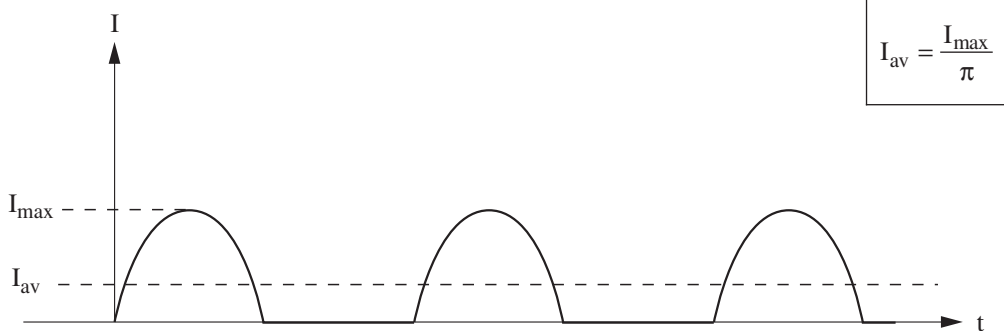
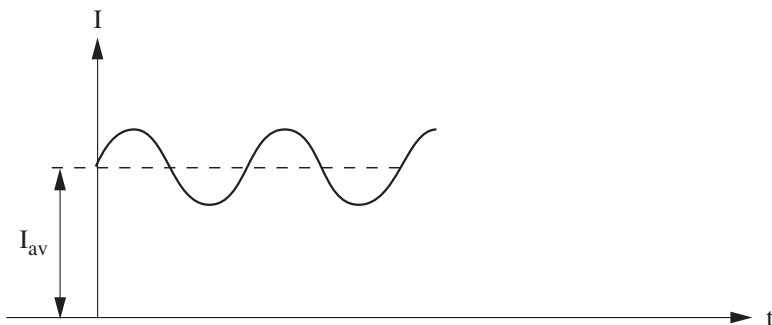
הספק מבוא	-	P_I	[W]
הספק נצרך מספק הכוח	-	P_{CC}	[W]
הספק העומס	-	P_L	[W]
הספק מבוזבז	-	P_{diss}	[W]
הספק המתפתח על העומס הנובע מאות חילופין	-	P_{LAC}	[W]
המתח היעיל על העומס	-	V_{Leff}	[V]
הזרם היעיל על העומס	-	I_{Leff}	[A]
נגד העומס	-	R_L	[Ω]
המתח הסינוסי המרבי על העומס	-	V_{Lmax}	[V]
הזרם הסינוסי המרבי דרך העומס	-	I_{Lmax}	[A]
הזרם הממוצע (DC) המסופק על-ידי ספק-הכוח	-	I_{av}	[A]

$$P_I + P_{CC} = P_L + P_{diss}$$

$$P_{LAC} = V_{Leff} \cdot I_{Leff} = \frac{V_{Leff}^2}{R_L} = I_{Leff}^2 \cdot R_L$$

$$V_{Leff} = \frac{V_{Lmax}}{\sqrt{2}}, \quad I_{Leff} = \frac{I_{Lmax}}{\sqrt{2}}$$

$$P_{CC} = V_{CC} \cdot I_{av}$$



מגברי הפרש

$$V_o = A_1 \cdot V_1 + A_2 \cdot V_2$$

$$A_1 = \frac{V_o}{V_1} \Big|_{V_2=0}$$

מתח מבוא V_1 [V] -

$$A_2 = \frac{V_o}{V_2} \Big|_{V_1=0}$$

מתח מבוא V_2 [V] -

$$A_d = \frac{A_1 - A_2}{2}$$

$$A_c = A_1 + A_2$$

הגבר הפרשי A_d -

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

הגבר האות המשותף A_c -

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$

CMRR - יחס דחיית האות המשותף

$$V_d = V_1 - V_2$$

$$V_c = \frac{V_1 + V_2}{2}$$

פרש מתחי המבוא V_d [V] -

V_c [V] - ממוצע הסכום של מתחי המבוא

$$A_d = \frac{V_o}{V_d} \Big|_{V_c=0} = \frac{V_o}{2V_i}$$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d=0} = \frac{V_o}{V_i}$$

ממירים ממותגים

א. ממירים

			$D = \frac{t_{on}}{t_{on} + t_{off}}$
מתח מוצא	-	V_o [V]	
מתח מבוא	-	V_{in} [V]	$V_o = D V_{in}$
הספק במוצא	-	P_o [W]	
הספק במבוא	-	P_{in} [W]	$V_o = \frac{V_{in}}{1-D}$
נצילות	-	η	
מחזור פעולה	-	D	
(Duty Cycle)			$P_o = \eta P_{in}$

ממיר STEP DOWN (BUCK)
(ללא הפסדים):

ממיר STEP UP (BOOST)
(ללא הפסדים):

ב. משוואת מתח-זרם של הסליל

מתח על-פני הסליל	-	V_L [V]	
השראות הסליל	-	L [H]	
השינוי בזרם הסליל	-	ΔI_L [A]	
השינוי בזמן	-	ΔT [sec]	

$$V_L = L \frac{\Delta I_L}{\Delta T}$$

ג. משוואת מתח-זרם של הקבל

זרם הקבל	-	I_C [A]	
קיבול	-	C [F]	
השינוי במתח על-פני הקבל	-	ΔV_C [V]	

$$I_C = C \frac{\Delta V_C}{\Delta T}$$

ד. מתח האדווה בממיר STEP DOWN

מתח אדווה	-	ΔV [V]	
תדר המיתוג	-	f [Hz]	

$$\Delta V = \frac{\Delta I_L}{8 \cdot f \cdot C} = \frac{V_{in} \cdot D \cdot (1-D)}{8 \cdot L \cdot C \cdot f^2}$$

ה. מתח האדווה בממיר STEP UP

זרם דרך נגד העומס	-	I_o [A]	
-------------------	---	-----------	--

$$\Delta V = \frac{I_o \cdot D}{f \cdot C}$$

היענות התדר של מגבר טרנזיסטורי

בתחום התדרים הנמוכים:

קבלי העקיפה והצימוד קובעים את תדר חצי ההספק התחתון.

חישוב מקורב של תדר חצי ההספק התחתון f_L :

$$f_L \approx \sqrt{f_{L1}^2 + f_{L2}^2 + f_{L3}^2 \dots}$$

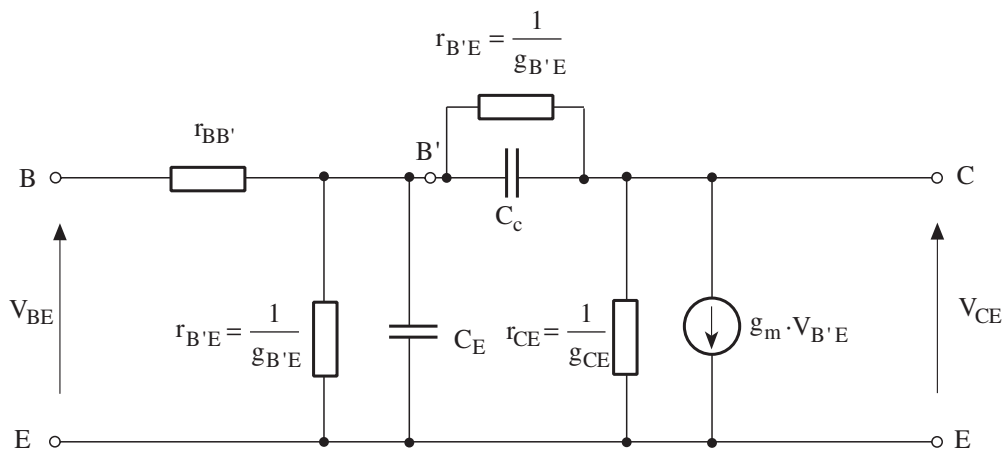
כאשר:

$$f_{Li} = \frac{1}{2\pi \cdot R_{eq} \cdot C_i}$$

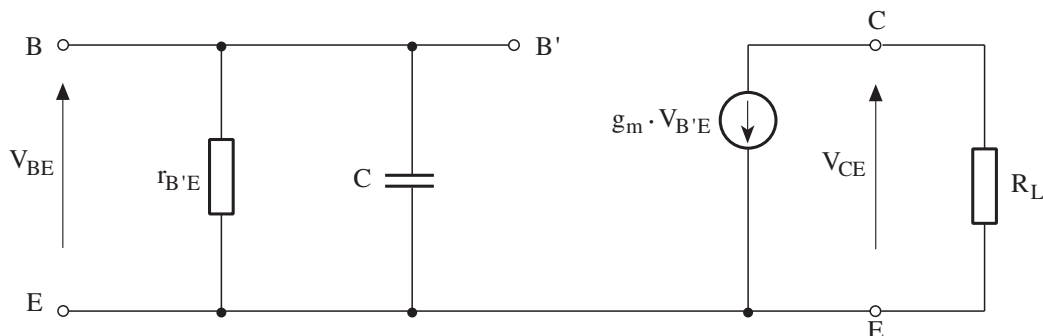
R_{eq} – ההתנגדות ש"רואה" הקבל C_i כאשר שאר הקבלים מקוצרים (וגם מתח הכניסה מקוצר)

בתחום התדרים הגבוהים:

תרשים תמורה מסוג π היברידי לחיבור פולט משותף בתדר גבוה



תרשים תמורה מקורב מסוג π היברידי עם נגד עומס R_L לחיבור פולט
משותף בתדר גבוה



$$C = C_e + C_c (1 + g_m R_L)$$

מוליכות ההעברה של
הטרנזיסטור - $g_m \left[\frac{1}{\Omega} \right]$

$$g_m = \frac{I_c (\text{mA})}{26}$$

התדר בו הגבר זרם הקצר בתצורת פולט משותף
מגיע ל-1 - f_T [Hz]

$$f_T = \frac{g_m}{2\pi(C_e + C_c)} \cong \frac{g_m}{2\pi C_e}$$

הגבר הזרם - A_i

$$A_i = \frac{-h_{fe}}{1 + jh_{fe} \left(\frac{f}{f_T} \right)}$$

ערכו המעשי של רוחב הפס של β במגבר - f_β [Hz]

תדר גבולי עליון של הטרנזיסטור - f_H [Hz]

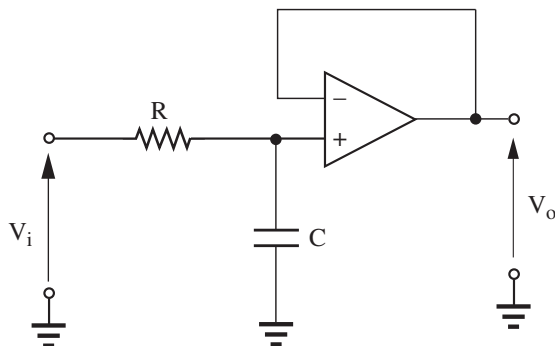
$$f_\beta = \frac{g_m}{h_{fe} \cdot 2\pi(C_e + C_c)} = \frac{g_{B'E}}{2\pi(C_e + C_c)}$$

ההתנגדות ש"רואה" הקבל C לפי תבנית - R_{eq} [Ω]

$$f_H = \frac{1}{2\pi \cdot R_{eq} \cdot C}$$

מסננים פעילים

א. מסנן מעביר נמוכים מסדר I



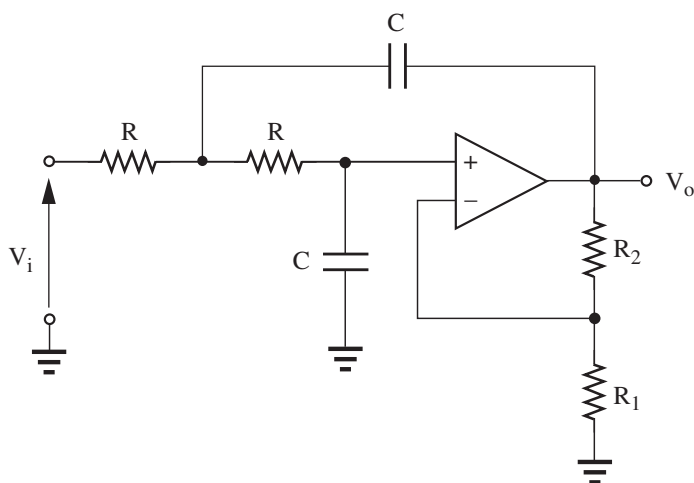
פונקציית תמסורת - $A_v(s)$

$$A_v(s) = \frac{V_o}{V_i} = \frac{1}{1 + RC \cdot s}$$

תדר קיטעון (תדר 3 dB) - $\omega_c \left[\frac{\text{rad}}{\text{sec}} \right]$

$$\omega_c = \frac{1}{RC}$$

ב. מסנן מעביר נמוכים מסדר II מסוג (Sallen and Key) VCVS



הגבר בתחום המעבר
(עבור $\omega = 0$) $- A_{v_o}$

$$A_v(s) = \frac{V_o}{V_i} = \frac{A_{v_o} \cdot \left(\frac{1}{RC}\right)^2}{s^2 + \left(\frac{3-A_{v_o}}{RC}\right) \cdot s + \left(\frac{1}{RC}\right)^2}$$

$$\omega_c = \frac{1}{RC}$$

$$A_{v_o} = 1 + \frac{R_2}{R_1}$$

$$A_v(s) = \frac{V_o}{V_i} = \frac{A_{v_o}}{s^2 + (3-A_{v_o}) \cdot s + 1}$$

עבור $\omega_c = 1 \frac{\text{rad}}{\text{sec}}$ מתקבלת פונקציה מנורמלת:

הערה: עבור מסנן מעביר גבוהים (HPF), יש להחליף במעגלים שבעמוד הקודם את המיקום בין נגדי R לקבלי C.

טבלת רבי האיברים המנורמלים (של המכנה) לפי באטרורת' (Butterworth)

הגורמים של רבי-האיברים	n
$(s + 1)$	1
$(s^2 + 1.414 s + 1)$	2
$(s + 1) (s^2 + s + 1)$	3
$(s^2 + 0.765 s + 1) (s^2 + 1.848 s + 1)$	4
$(s + 1) (s^2 + 0.618 s + 1) (s^2 + 1.618 s + 1)$	5
$(s^2 + 0.518 s + 1) (s^2 + 1.414 s + 1) (s^2 + 1.932 s + 1)$	6
$(s + 1) (s^2 + 0.445 s + 1) (s^2 + 1.247 s + 1) (s^2 + 1.802 s + 1)$	7
$(s^2 + 0.390 s + 1) (s^2 + 1.111 s + 1) (s^2 + 1.663 s + 1) (s^2 + 1.962 s + 1)$	8

n - סדר המסנן

מתנדים סינשוואידליים לתדר נמוך

קריטריון ברקהאוזן לקיום תנודות:

1. תנאי התנופה: $|\beta \cdot A| \geq 1$

2. תנאי המופע: $\beta \cdot A = 0$

A - הגבר בחוג פתוח

β - מקדם המשוב

מתנד גשר ווין

$$f = \frac{1}{2\pi RC}$$

f [Hz] - תדר התנודות

R [Ω] - ערכו של כל אחד מהנגדים
ברשת המשוב β

C [F] - ערכו של כל אחד מהקבלים
ברשת המשוב β

R_f [Ω] - נגד המשוב ברשת המשוב השלילי

R_1 [Ω] - נגד ברשת המשוב השלילי

$$\frac{R_f}{R_1} \geq 2$$

תדר התנודות ברשת משוב LC

$$f = \frac{1}{2\pi\sqrt{LC}}$$

L [H] - השראות

C [F] - קיבול

משוב שלילי

A_f - הגבר בחוג סגור

A - הגבר בחוג פתוח

β - מקדם המשוב

$$A_f = \frac{A}{1 + A\beta}$$

בהצלחה!

אין להעביר את הנוסחאון
לנבחן אחר

נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(12 עמודים)

בלוקים עיקריים בשפה	
ENTITY __entity_name IS GENERIC (parameter_name : string := default_value; parameter_name : integer := default_value); PORT (input_name : IN STD_LOGIC; input_vector_name : IN BIT_VECTOR (high downto low); bidir_name : INOUT STD_LOGIC; output_name : OUT STD_LOGIC); END __entity_name;	מבנה כללי של ישות תכנית

בלוקים עיקריים בשפה	
ARCHITECTURE a OF __entity_name IS הצהרה על משאבי התוכנית BEGIN -- Process Statement -- Concurrent Procedure Call -- Concurrent Signal Assignment -- Conditional Signal Assignment -- Selected Signal Assignment -- Component Instantiation Statement -- Generate Statement END a;	מבנה כללי של גוף תכנית
__process_label: PROCESS (__signal_name, __signal_name) VARIABLE __variable_name : STD_LOGIC; VARIABLE __variable_name : STD_LOGIC; BEGIN -- Signal Assignment Statement -- Variable Assignment Statement -- Procedure Call Statement -- If Statement -- Case Statement -- Loop Statement END PROCESS __process_label;	מבנה כללי של הליך טורי

שימוש במבניות בתכנון היררכי	
COMPONENT __component_name GENERIC (__parameter_name : string := __default_value; __parameter_name : integer := __default_value); PORT (input_name, input_name : IN STD_LOGIC; bidir_name, bidir_name : INOUT STD_LOGIC; output_name, output_name : OUT STD_LOGIC); END COMPONENT ;	הצהרה על מבנית שבשימוש בתכנית האב
__instance_name: __component_name GENERIC MAP (parameter_name => parameter_value, parameter_name => parameter_value) PORT MAP (component_port => connect_port, component_port => connect_port);	שימוש במבנית בתכנון היררכי
__generate_label: FOR __index_variable IN __range GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מבניות GENERATE FOR בלולאת
__generate_label: IF __expression GENERATE __statement; __statement; END GENERATE __generate_label;	שרשור מותנה IF GENERATE

לולאות LOOPS	
<pre>__loop_label: FOR __index_variable IN __range LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת FOR
<pre>__loop_label: WHILE __boolean_expression LOOP __statement; __statement; END LOOP __loop_label;</pre>	לולאת WHILE

התניות בגוף התכנית – מחוץ ל-PROCESS	
__signal <= __expression WHEN __boolean_expression ELSE __expression WHEN __boolean_expression ELSE __expression _____ ; דוגמה 1 : מימוש שער AND באמצעות פקודת "WHEN" פשוטה. Y <= '1' when (a = '1') and (b = '1') else '0' ; דוגמה 2 : מימוש שער AND באמצעות פקודת "WHEN" המשכית. Y <= '0' when (a = '0') and (b = '0') else '0' when (a = '0') and (b = '1') else '0' when (a = '1') and (b = '0') else '1' ;	התניית When ... Else
WITH __ expression SELECT __signal <= __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN __constant_value, __expression WHEN others; _____ דוגמה: מימוש שער AND באמצעות פקודת התניה WITH .. SELECT Signal ab : bit_vector (1 downto 0); Begin ab <= a & b; with ab select y <= '0' when "00" , '0' when "01" , '0' when "10", '1' when others ;	התניית With ... Select

התניות בהליך טורי – בתוך PROCESS	
IF __boolean_expression THEN __signal <= __ expression; ELSIF __boolean_expression THEN __signal <= __expression; ELSE __signal <= __expression; END IF;	התניית If .. Then .. Else
CASE __expression IS WHEN __constant_value => __statement; __statement; WHEN __constant_value => __statement; __statement; WHEN OTHERS => __statement; __statement; END CASE;	התניית CASE
_____ דוגמה למימוש מפענח בהתניית CASE : <pre> Process(s) Begin Case s is When "00" => y <= "0001" ; When "01" => y <= "0010" ; When "10" => y <= "0100" ; When "11" => y <= "1000" ; End case; End process; </pre>	

התניות בהליך טורי – בתוך PROCESS					
התוכנית תבצע את טבלת האמת הבאה:					
S : BIT_VECTOR (1 DOWNT0 0)		Y : BIT_VECTOR (3 DOWNT0 0)			
S1	S0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

```
library ieee;

use ieee.std_logic_1164.all;

entity DEMUX is
port (d : in bit;

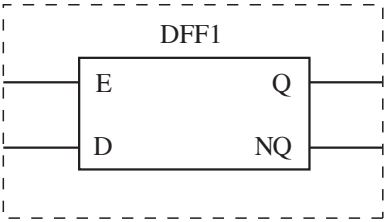
      s : in bit_vector (1 downto 0);

      y : out bit_vector (3 downto 0);
end;

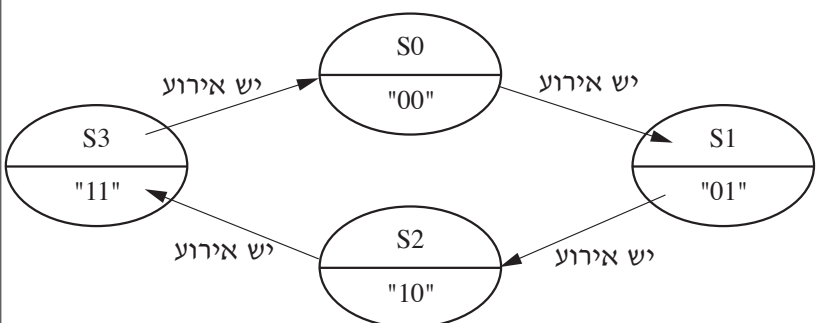
architecture behave of DEMUX is
begin
  process (s)
  begin
    case s is
      when "00" => y <= '0' & '0' & '0' & d;
      when "01" => y <= '0' & '0' & d & '0';
      when "10" => y <= '0' & d & '0' & '0';
      when "11" => y <= d & '0' & '0' & '0';
    end case;
  end process;
end behave;
```

FIVE_K

דוגמה לתכנית שלמה המבצעת פעולת מפלג, תוך שימוש בהתניות CASE

התניות בהליך טורי – בתוך PROCESS		
wait; עצירה לעד אשר שימושית לעצירת סביבת בדיקה wait on רשימת משתנים ; wait until תנאי לוגי ; wait for מספר יחידות זמן ;		פקודת השהיה WAIT
<pre> Library ieee; Use ieee.std_logic_1164.all; Entity DFF1 is Port (e, d : in std_logic; Q : inout std_logic; Nq : out std_logic); End DFF1; Architecture behave of DFF1 is Begin Process Begin Wait until e'event and e = '1' ; Q <= d; Nq <= not d; End process; End behave; </pre> התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית. 		דוגמה למימוש DFF

דוגמאות נוספות																																		
Process (enable) Begin If pre = '1' then q <= '1' ; Elsif clr = '1' then q <= '0' ; Elsif enable 'event and enable = '1' then q <= d; End process; ההליך בדוגמא יבצע את הפעולות המתוארות בטבלת האמת הבאה: <table><tr><th>PRE</th><th>CLR</th><th>ENABLE</th><th>D</th><th>Q</th></tr><tr><td>1</td><td>0</td><td>F</td><td>F</td><td>1</td></tr><tr><td>0</td><td>1</td><td>F</td><td>F</td><td>0</td></tr><tr><td>0</td><td>0</td><td>אין עליה</td><td>F</td><td>נשמר מצב קודם</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>עליה</td><td>1</td><td>1</td></tr></table>				PRE	CLR	ENABLE	D	Q	1	0	F	F	1	0	1	F	F	0	0	0	אין עליה	F	נשמר מצב קודם	0	0	עליה	0	0	0	0	עליה	1	1	דוגמה למימוש DFF עם מבוואת ישירים
PRE	CLR	ENABLE	D	Q																														
1	0	F	F	1																														
0	1	F	F	0																														
0	0	אין עליה	F	נשמר מצב קודם																														
0	0	עליה	0	0																														
0	0	עליה	1	1																														
architecture EXAMPLE1 of ARRAY is type INTEGER_VECTOR is array (1 to 8) of integer; -- 1 -- type MATRIX_A is array (1 to 3) of INTEGER_VECTOR; -- 2 -- type MATRIX_B is array (1 to 4 , 1 to 8) of integer; signal MATRIX_3x8 : MATRIX_A; signal MATRIX_4x8 : MATRIX_B; begin MATRIX_3x8 (3) (5) <= 10; -- מערך בתוך מערך MATRIX_4x8 (4 , 5) <= 17; -- מערך דו־ממדי end EXAMPLE1;				דוגמאות ליצירה והצבה במערכים																														

דוגמאות נוספות	
 <pre> library ieee; use ieee.std_logic_1164.all; entity state_machine is port (clk : in bit; count_out : out bit_vector (1 downto 0)); end state_machine; architecture behave of state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type; begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 => state <= s1; when s1 => state <= s2; when s2 => state <= s3; when s3 => state <= s0; end case; end if; end process counting; with state select count_out <= "00" when s0, "01" when s1, "10" when s2, "11" when s3; end behave; </pre>	דוגמה לכתיבת מונה במכונת מצבים

דוגמאות נוספות	
<pre>entity ADDER_FUNC is generic (max : integer := 15); port (A , B : in integer range 0 to max; SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is function ADD (x , y : integer) return integer is variable s : integer; begin s := x + y; return s; end function ADD; begin sum <= ADD (a , b); -- הקריאה לפונקציה end behave;</pre>	דוגמה לתכנית המשתמשת בפונקציה המבצעת חיבור בין מספרים
<pre>library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (A , B : in integer; SUM : out integer); end; architecture behave of adder_proc is procedure ADD (signal x , y : in integer; signal s : out integer) is begin s <= x + y; end procedure ADD; begin ADD (a , b , sum); end behave;</pre>	דוגמה לתכנית המשתמשת בפרוצדורה המבצעת חיבור בין מספרים

דוגמאות נוספות	
PACKAGE __package_name IS -- Type Declaration -- Subtype Declaration (FUNCTIONS , PROCEDURES) -- Constant Declaration -- Signal Declaration -- Component Declaration END __package_name; package body package_name is declarations deferred constant declaration subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות) end package body package_name;	הגדרת PACKAGE

Mode	קריאה	כתיבה
in	כן	לא
out	לא	כן
inout	כן	כן
buffer	כן	כן

נספח: מילון מונחים

לשאלון 711003, אביב תשפ"א

תרגום המונח			המונח
אנגלית	רוסית	ערבית	
input signal	Входной сигнал	إشارة دخل	אות-מבוא
output signal	Выходной сигнал	إشارة خرج	אות-מוצא
states diagram	Диаграмма состояний	مُخَطَّط العلاقات	דיאגרמת מצבים
states table	Таблица состояний	جدول الحالة	טבלת מצבים
components	Составляющие	عَنَاصِر / مكوّنات	מבניות
amplifier	Усилитель	مكبر	מגבר
switching converter	Коммутируемый преобразователь	محوّل تبديل	ממיר ממותג
alternative circuit	Схема замещения	الدائرة البديلة	מעגל תמורה
array	Массив	مصفوفة	מערך
output port	Устройство вывода	مفتاح الإخراج	מפתח-פלט
oscillator	Генератор колебаний	مذبذب	מתנד
bias point	Рабочая точка	نقطة الانحياز / نقطة التشغيل	נקודת-העבודה
logic value	Логический сигнал	قيمة منطقيّة	ערך לוגי
output	Выходные данные	الإخراج	פלט
file	Файл	ملفّ	קובץ
vibrations frequency	Частота колебаний	تردد الذبذبات	תדר התנודות