

סוג הבחינה: גמר לבתי-ספר לטכנאים ולהנדסאים

מועד הבחינה: אביב תשע"ט, 2019

סמל השאלון: 711003

נספחים: א. נוסחאון באלקטרוניקה

ספרתית ב' לכיתה י"ד

ב. נוסחאון בשפת תיאור חומרה

VHDL לכיתה י"ד

ג. מילון מונחים

## אלקטרוניקה ומחשבים ה'

מגמת הנדסת אלקטרוניקה ומחשבים

(כיתה י"ד)

### הוראות לנבחן

- א. משך הבחינה: ארבע שעות.
- ב. מבנה השאלון ומפתח ההערכה: בשאלון זה שני פרקים, ובהם שמונה שאלות.  
יש להשיב על ארבע שאלות בלבד, שאלה אחת לפחות מכל פרק.  
לכל שאלה – 25 נקודות. סך-הכול – 100 נקודות.
- ג. חומר עזר מותר לשימוש: מחשבון.
- ד. הוראות מיוחדות:
  1. ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
  2. התחל כל תשובה לשאלה חדשה בעמוד חדש.
  3. רשום את כל תשובותיך אך ורק בעט.
  4. הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בבהירות.
  5. כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה שלהן.
  6. אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
  7. בכתבת פתרונות חישוביים, קבלת מִרְב הנקודות מותנית בהשלמת כל המהלכים שלהלן, בסדר שבו הם רשומים:
    - \* רישום הנוסחה המתאימה.
    - \* הצבה של כל הערכים ביחידות המתאימות.
    - \* חישוב (אפשר באמצעות מחשבון).
    - \* רישום התוצאה המתקבלת, יחד עם יחידות המידה המתאימות.
    - \* ליווי הפתרון החישובי בהסבר קצר.
  8. לנוחותך, לשאלון זה מצורף מילון מונחים בשפות עברית, ערבית, אנגלית ורוסית. תוכל להיעזר בו בעת הצורך.

בשאלון זה 10 עמודים ו-17 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר,  
אך מכוונות הן לנבחנות והן לנבחנים.

## השאלות

ענה על ארבע מבין השאלות 1-8. עליך לענות על שאלה אחת לפחות מכל פרק.

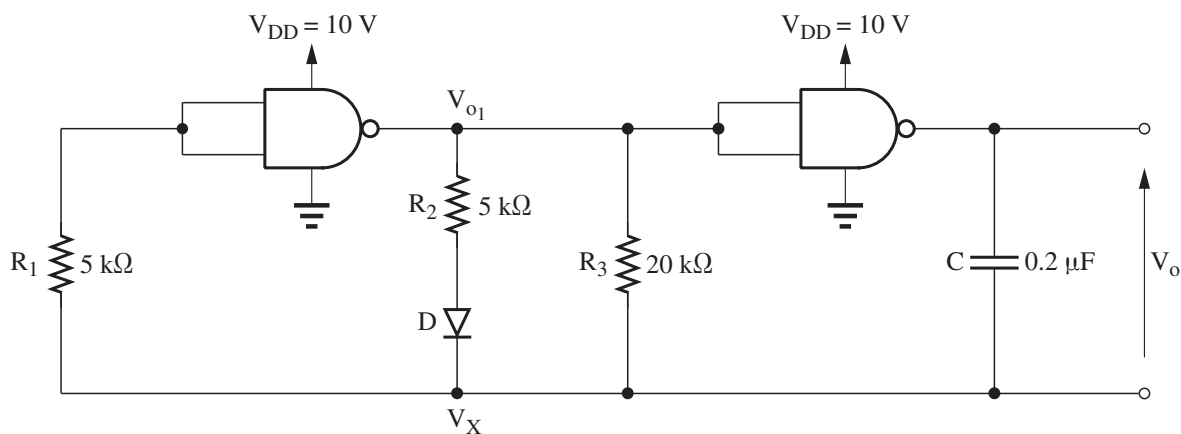
### פרק ראשון: אלקטרוניקה ספרתית

ענה על שאלה אחת לפחות מבין השאלות 1-4 (לכל שאלה – 25 נקודות).

#### שאלה 1

באיור לשאלה 1 נתון המעגל החשמלי של רב־רטט חופשי, הכולל שערים ממשפחת CMOS. הדיודה שבמעגל – אידיאלית.

נתוני שערי ה־CMOS:  $V_{OH} = 10\text{ V}$  ;  $V_{OL} = 0\text{ V}$  ;  $V_{TH} = \frac{1}{2}V_{DD} = 5\text{ V}$ .



איור לשאלה 1

9 נק') א. 1. סרטט, זו מתחת לזו בהתאמה, את צורות המתחים  $V_{O1}$ ,  $V_O$  ו־ $V_X$  (יחסית לאדמה) במצב המתמיד, כפונקצייה של הזמן.

2. ציין בסרטוטך את הערך המרבי ואת הערך המזערי של כל אחד מן המתחים הללו.

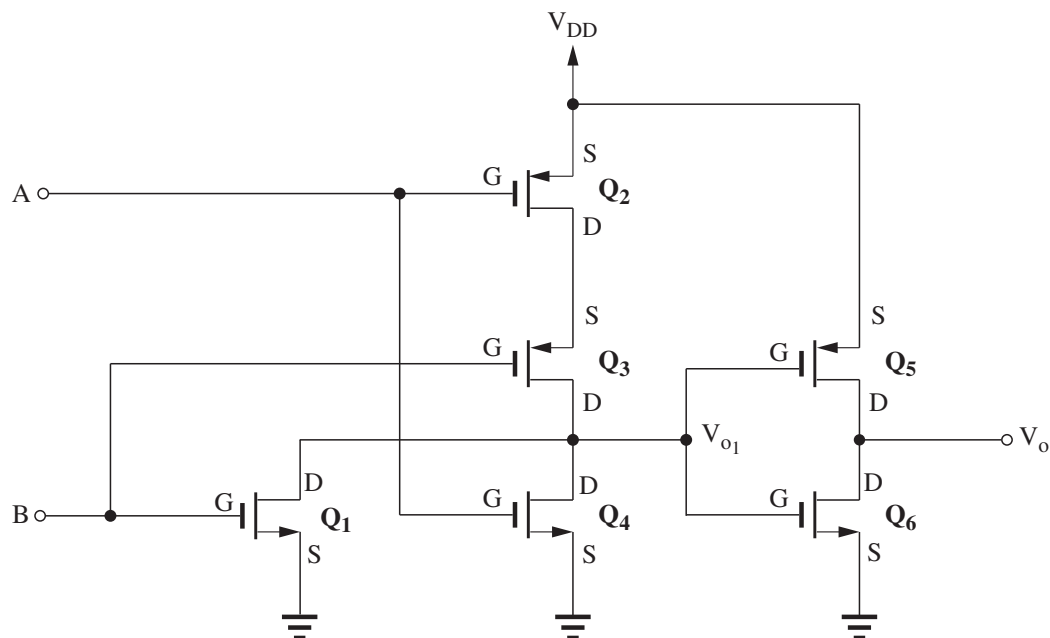
6 נק') ב. חשב את התדר של מתח־המוצא  $V_O$ .

6 נק') ג. חשב את מחזור הפעולה (Duty Cycle) של מתח־המוצא  $V_O$ .

4 נק') ד. מהו תפקידה של הדיודה D במעגל הזה?

## שאלה 2

באיור לשאלה 2 מתואר המעגל החשמלי של שער לוגי ממשפחת CMOS.



איור לשאלה 2

- א. (12 נק') העתק את הטבלה שלהלן למחברתך. רשום בה באיזה מצב (ON / OFF) נמצא כל אחד מן הטרנזיסטורים  $Q_1 \div Q_6$ , ואת הערך הלוגי של כל אחד מהמתחים  $V_{O1}$  ו- $V_O$ . הנח כי המעגל פועל בלוגיקה חיובית, כלומר:  $'0' = 0 \text{ V}$ ,  $'1' = V_{DD}$ .

| A | B | $Q_1$ | $Q_2$ | $Q_3$ | $Q_4$ | $Q_5$ | $Q_6$ | $V_{O1}$ | $V_O$ |
|---|---|-------|-------|-------|-------|-------|-------|----------|-------|
| 0 | 0 |       |       |       |       |       |       |          |       |
| 0 | 1 |       |       |       |       |       |       |          |       |
| 1 | 0 |       |       |       |       |       |       |          |       |
| 1 | 1 |       |       |       |       |       |       |          |       |

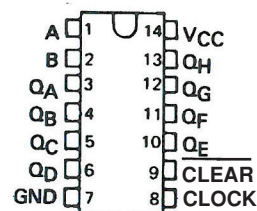
- ב. (8 נק') היעזר בטבלה שמילאת בסעיף א', ורשום את הפונקצייה הלוגית שמבצע המעגל החשמלי שבאיור.
- ג. (5 נק') ממש את הפונקצייה הלוגית  $F(A,B,C) = \overline{A + B + C}$  באמצעות טרנזיסטורים ממשפחת CMOS.

### שאלה 3

הרכיב SN74164 הוא אוגר הזזה, המשמש להמרת מידע בינארי טורי למידע בינארי מקבילי. להלן תצורת ההדקים של הרכיב וטבלת המצבים שלו, כפי שהם נתונים בדפיהנתונים שלו.

| FUNCTION TABLE |       |   |   |          |                 |          |
|----------------|-------|---|---|----------|-----------------|----------|
| INPUTS         |       |   |   | OUTPUTS  |                 |          |
| CLEAR          | CLOCK | A | B | $Q_A$    | $Q_B$ ... $Q_H$ |          |
| L              | X     | X | X | L        | L               | L        |
| H              | L     | X | X | $Q_{A0}$ | $Q_{B0}$        | $Q_{H0}$ |
| H              | ↑     | H | H | H        | $Q_{An}$        | $Q_{Gn}$ |
| H              | ↑     | L | X | L        | $Q_{An}$        | $Q_{Gn}$ |
| H              | ↑     | X | L | L        | $Q_{An}$        | $Q_{Gn}$ |

PIN CONFIGURATION  
(TOP VIEW)



H = high level (steady state), L = low level (steady state)

X = irrelevant (any input, including transitions)

↑ = transition from low to high level

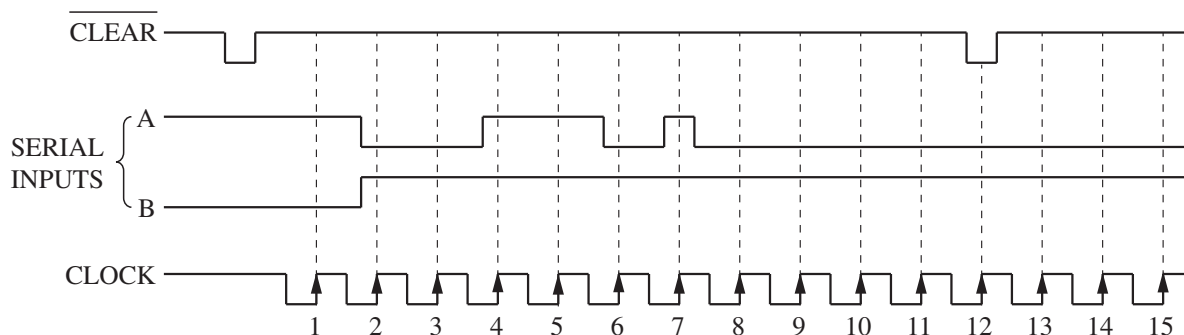
$Q_{A0}$ ,  $Q_{B0}$ ,  $Q_{H0}$  = the level of  $Q_A$ ,  $Q_B$ , or  $Q_H$ , respectively, before the indicated steady-state input conditions were established.

$Q_{An}$ ,  $Q_{Gn}$  = the level of  $Q_A$  or  $Q_G$  before the most-recent ↑ transition of the clock ; indicates a one-bit shift.

8. (נק') א. הסבר את תפקידו של כל אחד מן ההדקים 8 ו-9.

5. (נק') ב. רשום את הקשר הבוליאני בין הערך המתקבל בהדק  $Q_A$  לאחר הזזת המידע ובין ערכי האותות בהדקים A ו-B לפני ההזזה.

12. (נק') ג. באיור לשאלה 3 נתונים אותות המידע המתקבלים בהדקים A ו-B של הרכיב והאותות המתקבלים בהדקים 8 ו-9.



איור לשאלה 3

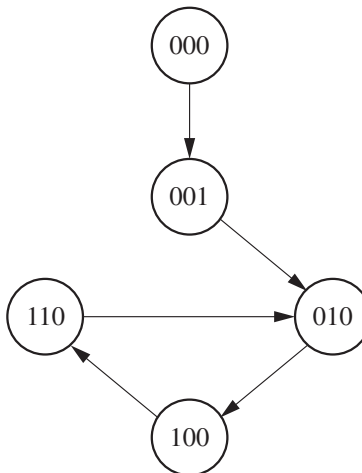
העתק את הטבלה שלהלן למחברתך. עקוב באיור אחר הזזת המידע על-ידי הרכיב, וציין בטבלה את מצבו של כל אחד מן ההדקים  $Q_A \div Q_H$  בהתאם לעיתוי הנתון בה.

| העיתוי                    | $Q_A$ | $Q_B$ | $Q_C$ | $Q_D$ | $Q_E$ | $Q_F$ | $Q_G$ | $Q_H$ |
|---------------------------|-------|-------|-------|-------|-------|-------|-------|-------|
| מיד לאחר דופק שעון מס' 4  |       |       |       |       |       |       |       |       |
| מיד לאחר דופק שעון מס' 8  |       |       |       |       |       |       |       |       |
| מיד לאחר דופק שעון מס' 10 |       |       |       |       |       |       |       |       |
| מיד לאחר דופק שעון מס' 12 |       |       |       |       |       |       |       |       |

#### שאלה 4

תכנן מערכת עקיבה סינכרונית שתשמש כמונה (לא מחזורי), ותמומש באמצעות דלגלגי JK-FF ושערים לוגיים (על-פי הצורך). הנח שהמצב ההתחלתי של המוצאים הוא:  $Q_2 = Q_1 = Q_0 = '0'$  . ( $Q_2$  – MSB ,  $Q_0$  – LSB)

דיאגרמת המצבים של המערכת נתונה באיור לשאלה 4.



איור לשאלה 4

בתהליך התכנון בצע את השלבים שלהלן:

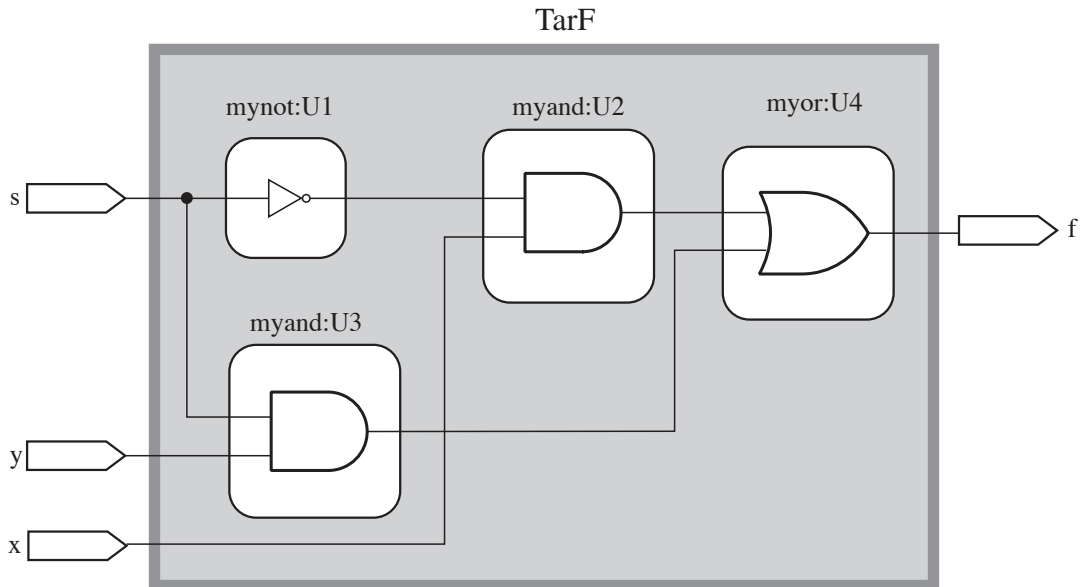
- 8 נק' א. רשום את טבלת המצבים של המערכת.
- 5 נק' ב. רשום את טבלת המעברים ואת טבלת העירור של המערכת.
- 6 נק' ג. פשט את פונקציות המבוא של הדלגלגים.
- 6 נק' ד. ממש את המערכת באמצעות דלגלגי JK-FF ושערים לוגיים (על-פי הצורך).

## פרק שני: שפת תיאור חומרה VHDL

ענה על שאלה אחת לפחות מבין השאלות 5-8 (לכל שאלה – 25 נקודות).

### שאלה 5

באיור לשאלה 5 נתונה מערכת ספרתית בשם TarF.



### איור לשאלה 5

כמורכב נתון המימוש בשפת VHDL של כל אחת מהיחידות mynot, myor, myand.

```
ENTITY myand IS
PORT (a, b: IN BIT;
      y : OUT BIT);
END myand;
ARCHITECTURE behave OF myand IS
BEGIN
    y <= a AND b;
END behave;
```

```
ENTITY myor IS
    PORT (a, b: IN BIT;
          y : OUT BIT);
END myor;

ARCHITECTURE behave OF myor IS
BEGIN
    y <= a OR b;
END behave;
```

```
ENTITY mynot IS
    PORT (x: IN BIT;
          y : OUT BIT);
END mynot;

ARCHITECTURE behave OF mynot IS
BEGIN
    y <= NOT x;
END behave;
```

- (15 נק')** א. ממש את המערכת שבאיור לשאלה 5 בשפת VHDL על-פי עקרונות התכנון ההיררכי, תוך שימוש במבניות:  
myand , myor , mynot .
- (10 נק')** ב. העתק למחרתך את האיור לשאלה 5, וסמן עליו את האותות (Signals) שהגדרת בסעיף א'.

## שאלה 6

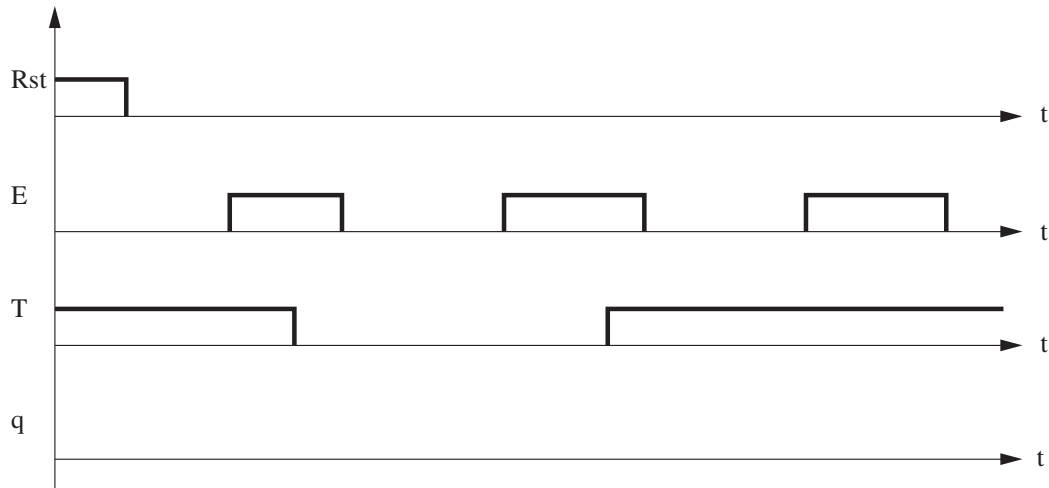
לפניך התוכנית TarB , הכתובה בשפת VHDL :

```
1  Entity TarB is
2  Port ( E, Rst, T : In Bit;
3         q          : Out Bit );
4  End;
5  Architecture Behave of TarB is
6  Begin
7  Process (E, Rst)
8  Variable tmp : Bit := 0;
9  Begin
10 If Rst = '1' then
11     tmp := '0';
12 Elsif E'event and E='1' then
13     If T = '0' then
14         tmp := tmp;
15     Else
16         tmp := not tmp;
17     End If;
18 End If;
19 q <= tmp;
20 End Process;
21 End Behave;
```

8 נק') א. הסבר את הבדיקה המתבצעת בשורה 12 בתוכנית.

10 נק') ב. באיור לשאלה 6 מתוארים, זה מתחת לזה בהתאמה, האותות E , Rst ו-T כפונקציה של הזמן. העתק את האיור למחברתך, והשלם בו את אות המוצא q כפונקציה של הזמן.



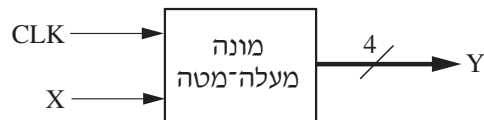


איור לשאלה 6

7 (נק') ג. מעבירים את הפקודות שבשורות 10÷11 לאחר שורה 12. כיצד ישפיע הצעד הזה על פעולת המערכת?

## שאלה 7

באיור לשאלה 7 מתואר מונה מעלה-מטה.



איור לשאלה 7

כתוב תוכנית בשפת VHDL, המבצעת פעולת מונה מעלה-מטה. המונה יספור באופן מחזורי בכל עליית שעון, בהתאם לערך הלוגי של המבוא X. ערכו של המבוא X נבדק בכל עליית שעון:

אם ערכו הוא  $X = '1'$ , המונה יספור מ-0 עד 9 באופן מחזורי.

אם ערכו הוא  $X = '0'$ , המונה יספור מ-9 עד 0 באופן מחזורי.

## הערה:

השימוש במכונת-מצבים בתוכנית אינו חובה.

## שאלה 8

לפניך התוכנית TarA, הכתובה בשפת VHDL:

```
1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  Entity TarA is
4  Port ( D : In Bit;
5         S : In Integer Range 0 to 3;
6         Y : Out Bit_Vector (3 DownTo 0) );
7  End;
8  Architecture Behave of TarA is
9  Begin
10 Y(3) <= D When S=3 Else '0';
11 Y(2) <= D When S=2 Else '0';
12 Y(1) <= D When S=1 Else '0';
13 Y(0) <= D When S=0 Else '0';
14 End Behave;
```

א. (5 נק') הסבר את הפעולה המתבצעת בשורה 10 בתוכנית.

ב. (5 נק') סרטט סמל למערכת TarA. ציין בסרטוט את שמות המבואות והמוצא, וציין את מספר הסיביות בכל אחד מהם.

ג. (10 נק') העתק למחברתך את טבלת המצבים שלהלן והשלם בה את החסר, על-פי פעולת המערכת המתוארת בתוכנית.

| S | Y(3) | Y(2) | Y(1) | Y(0) |
|---|------|------|------|------|
| 0 |      |      |      |      |
| 1 | '0'  | '0'  | D    | '0'  |
| 2 |      |      |      |      |
| 3 |      |      |      |      |

ד. (5 נק') ממש את פעולת המערכת בצורה שונה מזו המתוארת בתוכנית TarA.

**בהצלחה!**

אין להעביר נוסחאות  
לנבחן אחר

## נוסחאות באלקטרוניקה ספרתית ב' לכיתה י"ד

(4 עמודים)

### משוואות הדפקים היסודית

$$V(t) = V_{\infty} - (V_{\infty} - V_{0+}) \cdot e^{-\frac{t}{\tau}}$$

$$I(t) = I_{\infty} - (I_{\infty} - I_{0+}) e^{-\frac{t}{\tau}}$$

$$\tau = R_{eq} \cdot C ; \tau = \frac{L}{R_{eq}}$$

$$t = \tau \cdot \ln \frac{V_{\infty} - V_{0+}}{V_{\infty} - V(t)} = \tau \cdot \ln \frac{I_{\infty} - I_{0+}}{I_{\infty} - I(t)}$$

### תחום הרוויה בטרנזיסטור דו-נושאי

$$V_{CE} = V_{CE_S}$$

$$\beta \cdot I_B > I_C$$

### סף רוויה של התחום הפעיל בטרנזיסטור דו-נושאי

$$V_{CE} = V_{CE_S}$$

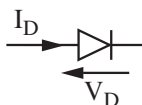
$$\beta \cdot I_B = I_C$$

|                                                         |   |                   |
|---------------------------------------------------------|---|-------------------|
| מתח מוצא                                                | - | $V(t) [V]$        |
| מתח סופי (עבור $t \rightarrow \infty$ )                 | - | $V_{\infty} [V]$  |
| מתח התחלתי                                              | - | $V_{0+} [V]$      |
| זמן                                                     | - | $t [sec]$         |
| קבוע הזמן                                               | - | $\tau [sec]$      |
| זרם מוצא                                                | - | $I(t) [A]$        |
| זרם סופי (עבור $t \rightarrow \infty$ )                 | - | $I_{\infty} [A]$  |
| זרם התחלתי                                              | - | $I_{0+} [A]$      |
| התנגדות שקולה ש"רואה" הרכיב<br>ההיגבי, מחושבת לפי תבנית | - | $R_{eq} [\Omega]$ |

|                          |   |                |
|--------------------------|---|----------------|
| מתח רוויה בין קולט לפולט | - | $V_{CE_S} [V]$ |
| זרם בסיס                 | - | $I_B [A]$      |
| זרם קולט                 | - | $I_C [A]$      |
| הגבר זרם                 | - | $\beta$        |

## דיודת צומת

סימול:



א. דיודה אידיאלית:

ממתח קדמי -  $V_D = 0$  (קָצֶר)

ממתח אחורני -  $I_D = 0$  (נִתְק)

ב. קירוב באמצעות  $V_\gamma$ :

ממתח קדמי -  $V_D = V_\gamma$

ממתח אחורני -  $I_D = 0$  ( $V_D < V_\gamma$ )

ג. קירוב באמצעות  $V_\gamma$  ו- $R_f$ :

ממתח קדמי -  $V_D = I_D \cdot R_f + V_\gamma$  ( $V_D > V_\gamma$ )

ממתח אחורני -  $I_D = 0$  ( $V_D < V_\gamma$ )

## טעינה לינארית

טעינת קבל בזרם קבוע:

|          |   |       |       |
|----------|---|-------|-------|
| מתח הקבל | - | $V_C$ | [V]   |
| זרם הקבל | - | $I_C$ | [A]   |
| קיבול    | - | $C$   | [F]   |
| זמן      | - | $t$   | [sec] |

$$V_C = \frac{I_C}{C} \cdot t + V_C(0)$$

$$\Delta V_C = \frac{I_C}{C} \cdot \Delta t$$

|           |   |       |     |
|-----------|---|-------|-----|
| זרם הסליל | - | $I_L$ | [A] |
| מתח הסליל | - | $V_L$ | [V] |
| השראות    | - | $L$   | [H] |

טעינת סליל במתח קבוע:

$$I_L = \frac{V_L}{L} \cdot t + I_L(0)$$

$$\Delta I_L = \frac{V_L}{L} \cdot \Delta t$$

טבלת מצבים של JKFF

| CLK          | J           | K           | Q                              |
|--------------|-------------|-------------|--------------------------------|
| 1, 0         | $\emptyset$ | $\emptyset$ | N.C                            |
| $\downarrow$ | 0           | 0           | N.C                            |
| $\downarrow$ | 0           | 1           | 0                              |
| $\downarrow$ | 1           | 0           | 1                              |
| $\downarrow$ | 1           | 1           | $\bar{Q}_{n-1}$<br>(שינוי מצב) |

טבלת מצבים של SRFF (סינכרוני)

| CLK          | S           | R           | Q        |
|--------------|-------------|-------------|----------|
| 0, 1         | $\emptyset$ | $\emptyset$ | N.C      |
| $\downarrow$ | 0           | 0           | N.C      |
| $\downarrow$ | 0           | 1           | 0        |
| $\downarrow$ | 1           | 0           | 1        |
| $\downarrow$ | 1           | 1           | מצב אסור |

### טבלת מצבים של TFF

| CLK          | T           | $Q_n$                          |
|--------------|-------------|--------------------------------|
| 0, 1         | $\emptyset$ | N.C                            |
| $\downarrow$ | 0           | N.C                            |
| $\downarrow$ | 1           | $\bar{Q}_{n-1}$<br>(שינוי מצב) |

### טבלת מצבים של DFF

| CLK          | D           | Q   |
|--------------|-------------|-----|
| 1, 0         | $\emptyset$ | N.C |
| $\downarrow$ | 0           | 0   |
| $\downarrow$ | 1           | 1   |

### טבלת עירור

| PS |   | NS | JKFF   |        | SRFF   |        | TFF | DFF |
|----|---|----|--------|--------|--------|--------|-----|-----|
| q  | → | Q  | J      | K      | S      | R      | T   | D   |
| 0  | → | 0  | 0      | $\phi$ | 0      | $\phi$ | 0   | 0   |
| 0  | → | 1  | 1      | $\phi$ | 1      | 0      | 1   | 1   |
| 1  | → | 0  | $\phi$ | 1      | 0      | 1      | 1   | 0   |
| 1  | → | 1  | $\phi$ | 0      | $\phi$ | 0      | 0   | 1   |

בהצלחה!

אין להעביר את הנוסחאון  
לנבחן אחר

## נוסחאון בשפת תיאור חומרה VHDL לכיתה י"ד

(12 עמודים)

| בלוקים עיקריים בשפה                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                    |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------|
| <b>ENTITY</b> __entity_name <b>IS</b><br><br><b>GENERIC</b> (parameter_name : string := default_value;<br>parameter_name : integer := default_value);<br><br><b>PORT</b> (<br>input_name          : <b>IN</b> <b>STD_LOGIC</b> ;<br>input_vector_name : <b>IN</b> <b>BIT_VECTOR</b> (high downto low);<br>bidir_name         : <b>INOUT</b> <b>STD_LOGIC</b> ;<br>output_name        : <b>OUT</b> <b>STD_LOGIC</b> );<br><br><b>END</b> __entity_name; | <b>מבנה כללי של<br/>ישות תכנית</b> |

| בלוקים עיקריים בשפה                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                   |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------|
| <b>ARCHITECTURE a OF __entity_name IS</b><br><br>הצהרה על משאבי התוכנית<br><br><b>BEGIN</b><br><br>-- Process Statement<br><br>-- Concurrent Procedure Call<br><br>-- Concurrent Signal Assignment<br><br>-- Conditional Signal Assignment<br><br>-- Selected Signal Assignment<br><br>-- Component Instantiation Statement<br><br>-- Generate Statement<br><br><b>END a;</b>                                                                          | <b>מבנה כללי של<br/>גוף תכנית</b> |
| __process_label:<br><br><b>PROCESS</b> (__signal_name, __signal_name)<br><br><b>VARIABLE</b> __variable_name : <b>STD_LOGIC</b> ;<br><br><b>VARIABLE</b> __variable_name : <b>STD_LOGIC</b> ;<br><br><b>BEGIN</b><br><br>-- Signal Assignment Statement<br><br>-- Variable Assignment Statement<br><br>-- Procedure Call Statement<br><br>-- If Statement<br><br>-- Case Statement<br><br>-- Loop Statement<br><br><b>END PROCESS</b> __process_label; | <b>מבנה כללי של<br/>הליך טורי</b> |



| שימוש במבניות בתכנון היררכי                                                                                                                                                                                                                                                                                                                                             |                                                          |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------|
| <b>COMPONENT</b> __component_name<br><br><b>GENERIC</b> (__parameter_name : string := __default_value;<br>__parameter_name : integer := __default_value );<br><br><b>PORT</b> (<br>input_name, input_name : <b>IN</b> STD_LOGIC;<br>bidir_name, bidir_name : <b>INOUT</b> STD_LOGIC;<br>output_name, output_name : <b>OUT</b> STD_LOGIC);<br><br><b>END COMPONENT</b> ; | הצהרה על<br>מבנית שבשימוש<br>בתכנית האב                  |
| __instance_name: __component_name<br><br><b>GENERIC MAP</b> ( parameter_name => parameter_value,<br>parameter_name => parameter_value )<br><br><b>PORT MAP</b> ( component_port => connect_port,<br>component_port => connect_port );                                                                                                                                   | שימוש במבנית<br>בתכנון היררכי                            |
| __generate_label:<br><br><b>FOR</b> __index_variable <b>IN</b> __range <b>GENERATE</b><br>__statement;<br>__statement;<br><br><b>END GENERATE</b> __generate_label;                                                                                                                                                                                                     | שרשור מבניות<br><br><b>GENERATE</b><br><b>FOR</b> בלולאת |
| __generate_label:<br><br><b>IF</b> __expression <b>GENERATE</b><br>__statement;<br>__statement;<br><br><b>END GENERATE</b> __generate_label;                                                                                                                                                                                                                            | שרשור מותנה <b>IF</b><br><br><b>GENERATE</b>             |

| לולאות LOOPS                                                                                                                                       |                    |
|----------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|
| <pre>__loop_label: <b>FOR</b> __index_variable <b>IN</b> __range <b>LOOP</b>     __statement;     __statement; <b>END LOOP</b> __loop_label;</pre> | <b>FOR לולאת</b>   |
| <pre>__loop_label: <b>WHILE</b> __boolean_expression <b>LOOP</b>     __statement;     __statement; <b>END LOOP</b> __loop_label;</pre>             | <b>WHILE לולאת</b> |

| התניות בגוף התכנית – מחוץ ל-PROCESS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                    |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------|
| <p>__signal &lt;= __expression <b>WHEN</b> __boolean_expression <b>ELSE</b></p> <p>    __expression <b>WHEN</b> __boolean_expression <b>ELSE</b></p> <p>    __expression _____ ;</p> <p><b>דוגמה 1 :</b> מימוש שער AND באמצעות פקודת "WHEN" פשוטה.</p> <p>Y &lt;= '1' when (a = '1') and (b = '1') else '0' ;</p> <p><b>דוגמה 2 :</b> מימוש שער AND באמצעות פקודת "WHEN" המשכית.</p> <p>Y &lt;= '0' when (a = '0') and (b = '0') else</p> <p>    '0' when (a = '0') and (b = '1') else</p> <p>    '0' when (a = '1') and (b = '0') else</p> <p>    '1' ;</p>                                                                                                                  | <p><b>התניית</b></p> <p><b>When ... Else</b></p>   |
| <p><b>WITH</b> __ expression <b>SELECT</b></p> <p>    __signal &lt;= __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> __constant_value,</p> <p>        __expression <b>WHEN</b> others;</p> <p>    _____</p> <p><b>דוגמה:</b> מימוש שער AND באמצעות התניה WITH .. SELECT</p> <p>Signal ab : bit_vector (1 downto 0);</p> <p>Begin</p> <p>ab &lt;= a &amp; b;</p> <p>with ab select</p> <p>    y &lt;= '0' when "00" ,</p> <p>        '0' when "01" ,</p> <p>        '0' when "10",</p> <p>        '1' when others ;</p> | <p><b>התניית</b></p> <p><b>With ... Select</b></p> |

| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                                                                              |                                                |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------|
| <b>IF</b> __boolean_expression <b>THEN</b><br>__signal <= __ expression;<br><br><b>ELSIF</b> __boolean_expression <b>THEN</b><br>__signal <= __expression;<br><br><b>ELSE</b><br>__signal <= __expression;<br><br><b>END IF;</b>                                                                                              | <b>התניית</b><br><br><b>If .. Then .. Else</b> |
| <b>CASE</b> __expression <b>IS</b><br><br><b>WHEN</b> __constant_value =><br>__statement;<br>__statement;<br><br><b>WHEN</b> __constant_value =><br>__statement;<br>__statement;<br><br><b>WHEN OTHERS</b> =><br>__statement;<br>__statement;<br><br><b>END CASE;</b>                                                         | <b>התניית CASE</b>                             |
| <div style="text-align: center;"> <p>דוגמה למימוש מפענח בהתניית CASE :</p> <pre> Process(s) Begin     Case s is         When "00" =&gt; y &lt;= "0001" ;         When "01" =&gt; y &lt;= "0010" ;         When "10" =&gt; y &lt;= "0100" ;         When "11" =&gt; y &lt;= "1000" ;      End case; End process; </pre> </div> |                                                |

| <div> <div>התניות בהליך טורי – בתוך PROCESS</div> <div> <div>התוכנית תבצע את טבלת האמת הבאה:</div> <table> <tr> <th colspan="2">S : BIT_VECTOR (1 DOWNT0 0)</th><th colspan="4">Y : BIT_VECTOR (3 DOWNT0 0)</th></tr> <tr> <th>S1</th><th>S0</th><th>Y3</th><th>Y2</th><th>Y1</th><th>Y0</th></tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> </table> </div> </div>                                                                                                                                            |    |                             |                                                                                                                                 |    |    | S : BIT_VECTOR (1 DOWNT0 0) |  | Y : BIT_VECTOR (3 DOWNT0 0) |  |  |  | S1 | S0 | Y3 | Y2 | Y1 | Y0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|-----------------------------|---------------------------------------------------------------------------------------------------------------------------------|----|----|-----------------------------|--|-----------------------------|--|--|--|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| S : BIT_VECTOR (1 DOWNT0 0)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |    | Y : BIT_VECTOR (3 DOWNT0 0) |                                                                                                                                 |    |    |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| S1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | S0 | Y3                          | Y2                                                                                                                              | Y1 | Y0 |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 0  | 0                           | 0                                                                                                                               | 0  | 1  |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 1  | 0                           | 0                                                                                                                               | 1  | 0  |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 0  | 0                           | 1                                                                                                                               | 0  | 0  |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 1  | 1                           | 0                                                                                                                               | 0  | 0  |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| <div> <div>library ieee;</div> <div>use ieee.std_logic_1164.all;</div> <div>entity DEMUX is</div> <div>port (d : in bit;</div> <div> <div>s : in bit_vector (1 downto 0);</div> <div>y : out bit_vector (3 downto 0);</div> </div> <div>end;</div> <div>architecture behave of DEMUX is</div> <div>begin</div> <div>process (s)</div> <div>begin</div> <div> <div>case s is</div> <div> <div>when "00" =&gt; y &lt;= '0' &amp; '0' &amp; '0' &amp; d;</div> <div>when "01" =&gt; y &lt;= '0' &amp; '0' &amp; d &amp; '0';</div> <div>when "10" =&gt; y &lt;= '0' &amp; d &amp; '0' &amp; '0';</div> <div>when "11" =&gt; y &lt;= d &amp; '0' &amp; '0' &amp; '0';</div> </div> <div>end case;</div> </div> <div>end process;</div> <div>end behave;</div> </div> |    |                             | <div> <div>FIVE_K</div> <div> <div>D</div> <div>Y [3....0]</div> </div> <div>S [1....0]</div> </div>                            |    |    |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |    |                             | <div> <div>דוגמה לתכנית</div> <div>שלמה המבצעת</div> <div>פעולת מפלג, תוך</div> <div>שימוש בהתניית</div> <div>CASE</div> </div> |    |    |                             |  |                             |  |  |  |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

| התניות בהליך טורי – בתוך PROCESS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |  |                                        |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|----------------------------------------|
| <div> <div>wait;</div> <div>עצירה לעד אשר שימושית לעצירת סביבת בדיקה</div> </div> <div> <div>wait on</div> <div>רשימת משתנים</div> </div> <div> <div>wait until</div> <div>תנאי לוגי</div> </div> <div> <div>wait for</div> <div>מספר יחידות זמן</div> </div>                                                                                                                                                                                                                                                                                                                                                                                                                                    |  | <div>פקודת השהיה</div> <div>WAIT</div> |
| <div> <div>Library ieee;</div> <div>Use ieee.std_logic_1164.all;</div> <div>Entity DFF1 is</div> <div> <div>Port ( e, d : in std_logic;</div> <div>Q : inout std_logic;</div> <div>Nq : out std_logic );</div> </div> <div>End DFF1;</div> <div>Architecture behave of DFF1 is</div> <div>Begin</div> <div> <div>Process</div> <div>Begin</div> <div>Wait until e'event and e = '1' ;</div> <div>Q &lt;= d;</div> <div>Nq &lt;= not d;</div> <div>End process;</div> </div> <div>End behave;</div> <div> <div>התכנית יצרה סמל SYMBOL עפ"י הישות (ENTITY) בתכנית.</div> <div> <div> <div>DFF1</div> <div> <div>E</div> <div>D</div> <div>Q</div> <div>NQ</div> </div> </div> </div> </div> </div> |  | <div>דוגמה למימוש</div> <div>DFF</div> |

## המשך בעמוד 10

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                              |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------|
| <div> <div> <pre> graph TD     S0((S0<br/>"00" )) -- "יש אירוע" --&gt; S1((S1<br/>"01" ))     S1 -- "יש אירוע" --&gt; S2((S2<br/>"10" ))     S2 -- "יש אירוע" --&gt; S3((S3<br/>"11" ))     S3 -- "יש אירוע" --&gt; S0                     </pre> </div> <div> <pre> library ieee; use ieee.std_logic_1164.all; entity state_machine is port (clk      : in bit;       count_out : out bit_vector (1 downto 0)); end state_machine; architecture behave of state_machine is type state_type is (s0 , s1 , s2 , s3); -- names of states signal state : state_type;  begin counting : process (clk) begin if clk'event and clk = '1' then -- positive edge event case state is when s0 =&gt; state &lt;= s1; when s1 =&gt; state &lt;= s2; when s2 =&gt; state &lt;= s3; when s3 =&gt; state &lt;= s0; end case; end if; end process counting; with state select count_out &lt;= "00" when s0,               "01" when s1,               "10" when s2,               "11" when s3; end behave;                     </pre> </div> </div> | <div> <div>דוגמה לכתיבת</div> <div>מונה במכונת</div> <div>מצבים</div> </div> |



| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                      |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|
| <pre> entity ADDER_FUNC is generic (max : integer := 15); port (     A , B : in integer range 0 to max;     SUM : out integer range 0 to MAX + MAX); end; architecture behave of ADDER_FUNC is     function ADD (x , y : integer) return integer is     variable s : integer;     begin         s := x + y;         return s;     end function ADD; begin     sum &lt;= ADD (a , b); -- הקריאה לפונקציה end behave; </pre> | <p><b>דוגמה לתכנית<br/>המשתמשת<br/>בפונקציה<br/>המבצעת חיבור<br/>בין מספרים</b></p>  |
| <pre> library ieee; use ieee.std_logic_1164.all; entity adder_proc is port (     A , B : in integer;     SUM : out integer); end; architecture behave of adder_proc is     <b>procedure ADD (signal x , y : in integer;</b>         <b>signal s : out integer) is</b>     <b>begin</b>         s &lt;= x + y;         <b>end procedure ADD;</b> begin     <b>ADD (a , b , sum);</b> end behave; </pre>                     | <p><b>דוגמה לתכנית<br/>המשתמשת<br/>בפרוצדורה<br/>המבצעת חיבור<br/>בין מספרים</b></p> |

| דוגמאות נוספות                                                                                                                                                                                                                                                                                                                                                                                                                                    |                      |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------|
| <b>PACKAGE</b> __package_name <b>IS</b><br><br>-- Type Declaration<br>-- Subtype Declaration (FUNCTIONS , PROCEDURES)<br>-- Constant Declaration<br>-- Signal Declaration<br>-- Component Declaration<br><br><b>END</b> __package_name;<br><br><b>package body</b> package_name <b>is</b><br><br>declarations<br>deferred constant declaration<br>subprogram bodies (תיאור פעולות הפונקציות והפרוצדורות)<br><b>end package body</b> package_name; | <b>הגדרת PACKAGE</b> |

| Mode   | קריאה | כתיבה |
|--------|-------|-------|
| in     | כן    | לא    |
| out    | לא    | כן    |
| inout  | כן    | כן    |
| buffer | כן    | כן    |

# נספח: מילון מונחים

לשאלון 711003, אביב תשע"ט

| תרגום המונח                 |                                               |                    | המונח                 |
|-----------------------------|-----------------------------------------------|--------------------|-----------------------|
| אנגלית                      | רוסית                                         | ערבית              |                       |
| states diagram              | Диаграмма состояний                           | مُخَطَّطُ الحالات  | דיאגרמת מצבים         |
| flip-flop                   | Триггер                                       | قَلَّاب            | דלגלג                 |
| transitions table           | Таблица переходных состояний                  | جدول التنقّلات     | טבלת מעברים           |
| states table                | Таблица состояний                             | جدول الحالات       | טבלת מצבים            |
| excitaion table             | Таблица переходов                             | جدول الإثارة       | טבלת עירור            |
| components                  | составляющие                                  | عَنَاصِر / مكوّنات | מבניות                |
| counter                     | Счётчик                                       | عدّاد              | מונה                  |
| digital system              | Синхронный автомат                            | نظام رقمي          | מערכת ספרתית          |
| synchronous tracking system | Синхронный автомат последовательных состояний | نظام تتبّع مُتزامن | מערכת עקיבה סינכרונית |
| bit                         | бит                                           | رقم ثنائي (بت)     | סיבית                 |
| symbol                      | символ                                        | رمز                | סמל                   |
| multi-vibrator              | Мультивибратор                                | مُتعدّد الاهتزاز   | רב־רטט                |
| hierarchical design         | Иерархическое программирование                | تصميم مرتبي        | תכנון היררכי          |